

東海大學電機工程學系

碩士論文

0.18 μm 5GHz 互補式金氧半微機電射頻濾波器
之研製

0.18 μm 5GHz CMOS-MEMS RF filter circuit
design

研 究 生：林政筌

指 導 教 授：陳家豪 博士

中 華 民 國 九 十 八 年 七 月

0.18 μm 5GHz 互補式金氧半微機電射頻濾波器
之研製

0.18 μm 5GHz CMOS-MEMS RF filter circuit
design

研 究 生：林政荃

Student: Jeng-Chuan Lin

指導教授：陳家豪 博士

Advisor: Dr. Ja-Hao Chen

東 海 大 學
電 機 工 程 學 系
碩 士 論 文

Department of Electrical Engineering

Tunghai University

Taichung, Taiwan, R.O.C.

Thesis for Master of Science

June, 2009

中 華 民 國 九 十 八 年 七 月

東海大學電機工程學系碩士學位

考試委員審定書

電機工程學系研究所 林政堃 君所提之論文

中文：0.18 μ m 5GHz 互補式金氧半微機電射頻
濾波器之研製

英文：0.18 μ m 5GHz CMOS-MEMS RF filter
circuit design

經本考試委員會審查，符合碩士資格標準。

學位考試委員會 召集人：蔡榮堃 (簽章)

委員：

林維亮

邱瑞杰

陳永豪

中華民國 98 年 07 月 21 日

0.18 μm 5GHz 互補式金氧半微機電射頻 濾波器之研製

研究生:林政筌

指導教授:陳家豪博士

東海大學電機工程學系

摘要

隨著行動通訊電子產品的大眾化，行動通訊產品快速成長，為了讓產品讓使用者更方便使用，對產品輕薄短小以及成本降低極盡要求，而系統整合(SOC)正是可以滿足以上之要求，因此系統整合正是目前技術發展的趨勢。近年來矽半導體製程、電腦輔助設計軟體、以及電路設計技巧的進步，已讓數位與類比電路的整合度大大提高，反觀要把射頻電路做整合的話，仍有許多困難要克服，許多無法整合的高頻電路中，其中之一就是高頻濾波電路。由於矽基板是導電材料而造成損耗大，使得在矽基板上製作元件品質因素(Q 值)不高，如果濾波器Q 值不高會使濾波效果有限，造成頻譜選擇能力差，難以將濾波器整合。此論文是利用微機電製程技術，將元件的品質因素提高，進而使高頻濾波器電路能夠整合於系統的機提高，達到系統整合的目的。此濾波器特性有較好插入損耗的表現，損耗最低在4.7 GHz可達到3.7dB的表現。此特性是目前CMOS濾波器研究中最好之一。

0.18 μm 5GHz CMOS-MEMS RF filter circuit design

Student : Jeng-Chuan Lin

Advisor : Dr. Ja-Hao Chen

Department of Electrical Engineering

Tunghai University

Abstract

With mobile communication products popularizing, the communication products expand speedily. For convenience to user, it is needed extremely to lighten and shrink the mobile productions. The system on a chip (SOC) is a solution to satisfy the need. Therefore, the SOC is a current trend of the development. In past years, silicon-base semiconductor process, computer-aided design tools, and circuit design skills have all made great progress, and it makes the high integration between digital and analog circuits. However, it is difficult to integrate with radio frequency (RF) circuits. One of those RF circuits is RF filter. Because silicon substrate is conductance material inducing large power loss and low quality factor (Q) of components. If the Q factor of RF-filter is low, the filter capability is limited. It makes bad selectivity of the filter

bad and the filter is difficult to be integrated. In this study, for achieving the purpose of SOC, the CMOS-MEMS technology is utilized to improve the quality factor of the component, and then to increase the probability of integrating the RF filter into a system. The proposed filter has a good insertion loss performance. The minimum insertion loss performance can reach 3.7dB at 4.7 GHz, which is one of the best performances in past passive CMOS RF bandpass filter studies.

誌謝

在就讀研究所這兩年來碩士班的這段時間，首先感謝指導老師陳家豪教授在碩士班期間的指導，讓本人學習如何做研究以及在研究過程中學習到寶貴的經驗。謝蔡榮昱、林維亮、邱瑞杰三位口試委員於口試期間，能不吝予批評指教，讓論文能修正更加完整。在研究的過程中，非常感謝實驗室的夥伴，首先須感謝博偉、中泰和心璇這三位同學，在實驗過程中給予許多寶貴的意見及幫助，使我的研究過程更加的順利，和在生活上的互相鼓勵與關心，一起撐過這充實的兩年時光。也非常謝謝實驗室的學弟仕翔與正倫，於口試中大力的幫忙與支持，讓我有充分的時間來準備。還有其他實驗室的教授和同學及系上所有的人員，感謝你們陪我在碩士兩年中的點點滴滴。謝謝你們在生活上幫忙與照顧，讓我可以順利地完成我的目標。

最後，我要感謝我的父母，在我兩年的碩士生活裡的付出與鼓勵，讓我全心全意的完成我的學業。

目錄

第一章	緒論.....	1
1.1.	前言.....	1
1.2.	研究動機.....	1
1.3.	文獻回顧.....	3
1.4.	本文架構.....	4
第二章	濾波器的基本原理.....	6
2.1.	濾波器簡介.....	6
2.2.	濾波器的種類.....	6
2.2.1	信號頻率分類.....	6
2.2.2	響應函數分類.....	9
2.3	LC 濾波器設計.....	13
2.3.1	傳統 LC 濾波器.....	13
2.3.2	實現帶通濾波器.....	14
2.3.3	其他現代濾波器.....	14
第三章	微機電技術發展與原理[13].....	16
3.1	微機電技術起源.....	16
3.2	MEMS 技術發展.....	16
3.2.1	微機電製程中的技術.....	16
3.2.2	微機電製造和加工技術.....	17
第四章	微機電濾波器之設計.....	20

4.1.	設計方法與流程.....	20
4.2.	微機電帶通濾波器設計.....	23
4.2.1	電腦輔助設計.....	23
4.2.2	帶通濾波器設計.....	23
4.3.	微機電濾波器元件設計.....	28
4.3.1	電感非理想因素.....	28
4.3.2	微機電電感設計方式.....	30
4.3.3	傳輸線電感.....	32
4.3.4	繞線電感.....	32
第五章	模擬與量測結果分析.....	36
5.1.	模擬與量測結果.....	36
5.1.1	濾波器模擬結果.....	36
5.1.2	濾波器量測考量及量測結果.....	38
5.2.	量測結果分析.....	40
5.3.	改善方法.....	44
5.3.1	元件對電路的影響.....	44
5.3.2	製作高 Q 質電容.....	45
5.3.2	進步的空間.....	47
第六章	結論.....	49
	參考文獻.....	50
	附錄	52

圖目錄

圖 1.1 射頻前端系統.....	2
圖 2.1 理想的低通濾波器.....	7
圖 2.2 理想的高通濾波器.....	7
圖 2.3 理想的帶通濾波器.....	8
圖 2.4 理想的帶斥濾波器.....	8
圖 2.5 理想的全通濾波器.....	9
圖 2.6 巴特沃斯帶通濾波器.....	10
圖 2.7 柴比雪夫帶通濾波器.....	11
圖 2.8 逆柴比雪夫帶通濾波器.....	12
圖 2.9 橢圓函數濾波器原型濾波器.....	13
圖 2.10 直接耦合濾.....	14
圖 2.11 平行耦合濾波器.....	15
圖 2.12 指叉型濾波器.....	15
圖 3.1 微結構的釋放.....	18
圖 3.2 MEMS 後製程.....	19
圖 4.1 元件為有限 Q 值的效應.....	20
圖 4.2 電路架構圖.....	24
圖 4.3 濾波器 S11、S21 與 S22 隨著頻率之特性曲線.....	25
圖 4.4 使用理想元件與 MIM 電容模型與理想電感之 濾波器特性比較.....	26

圖 4.5 使用理想元件與 TSMC 電感模型與理想電感之 濾波器特性比較.....	27
圖 4.6 鄰近效應的示意圖.....	29
圖 4.7 在基底中的渦電流.....	30
圖 4.8 微機電電感蝕刻的流程為(a)-(c).....	31
圖 4.9 利用傳輸線方式設計高 Q 值電感.....	32
圖 4.10 有對稱性的兩個變化的螺旋形的電感.....	33
圖 4.11 兩個電感的電流分佈圖.....	34
圖 4.12 在不同內徑下,電感的 Q 值比較圖.....	35
圖 5.1 電磁模擬示意圖.....	36
圖 5.2 濾波器在 4.9G~5.85G 的 S21 模擬結果.....	37
圖 5.3 間距為 100 μm 之 RF 探針示意圖.....	38
圖 5.4 微機電濾波器晶片拍照圖.....	39
圖 5.5 微機電濾波器量測結果.....	39
圖 5.6 微機電濾波器模擬與量測結果比較.....	40
圖 5.7 將模擬值調至量測結果.....	41
圖 5.8 濾波器對點感 Q 值的邊際效應.....	44
圖 5.9 指叉平板式高 Q 質電容結構圖.....	46
圖 5.10 高 Q 值傳輸線電感模擬圖.....	48
圖 5.11 改善後微機電濾波器之特性模擬圖.....	48

表目錄

表 4.1 濾波器之規格表.....	24
表 4.2 0.18 μm TSMC 的電感 Q 值.....	27
表 5.1 模擬出的 L、Q、R 值表.....	37
表 5.2 量測與模擬預測的 L、C 差異值.....	42
表 5.3 與過去文獻之比較.....	43
表 5.4 TSMC 電容模型之品質因數 Q.....	45
表 5.5 TSMC 電容與指叉平板式 MEMS 電容 Q 值比較表.....	47

第一章 緒論

1.1 前言

今日數位通訊系統蓬勃發展，個人用無線通訊設備呈現大幅度的成長，為了讓通訊產品正使用上更輕巧方便，產品正朝著功能強、價格低、重量輕、體積小、耗電低的目標邁進，而系統單晶片(System on a Chip, SOC)正是能達到目標的途徑之一。隨著無線通訊產品不斷的推陳出新，推動整個無線通訊技術積極的創新。積體整合性高、功能強大、價格普及化、耗能小之相關的高頻元件和射頻電路、模組已成為發展無線通訊的首要目標。

1.2 研究動機

射頻積體電路位於無線通訊系統的前端，如圖 1.1，經由天線收發訊號，主要區分為接收部份和發射部份，系統藉由射頻開關電路(RF Switch)做訊號接收或者發射，當系統切換接收訊號時，射頻訊號經由天線接收到後，經由低雜訊放大器(LNA)、濾波器，藉著電壓控制振盪器(VCO)提供本地振盪訊號 (LO Signal)與射頻訊號在混波器(Mixer)降頻至中頻訊號(IF Signal)，最終輸入至訊號處理器並將其轉成所需的基頻資訊。如當系統切換到發射訊號時，基頻資訊調變至中頻訊號，再經過混波器升頻成射頻訊號，經過功率放大器(PA)、濾

波器，經過開關電路，透過天線發射訊號在無線通訊系統整合過程中，由於製程與模型準確度技術的提升，加上電路設計能力的進步，後端的數位與類比積體電路之間已有高度的整合。

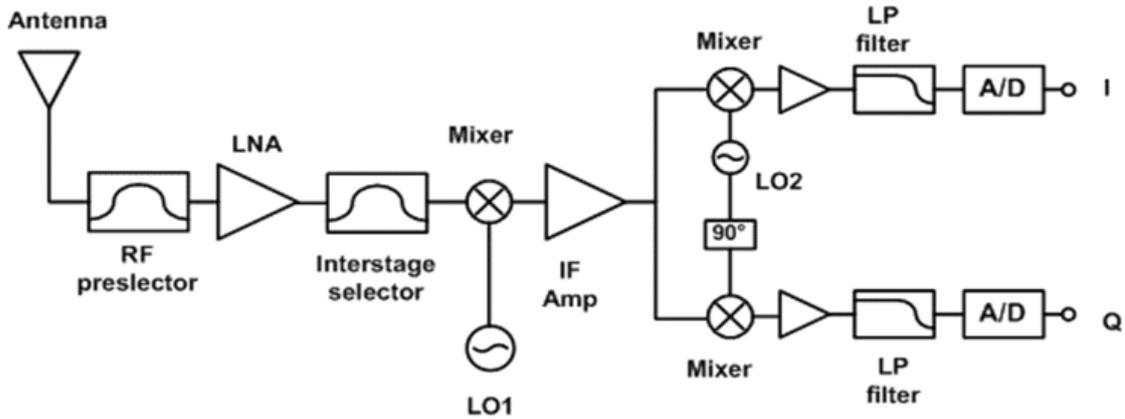


圖 1.1 射頻前端系統

反觀系統前端的高頻電路，整合上卻出現瓶頸，如高頻功率放大器(PA)高頻開關(RF Switch)、高頻濾波器(RF filters)、共振器(resonator)等高頻電路與其他電路的整合度不高，至今這些高頻電路在通訊系統中仍然是以外加(off-chip)的方式運作。造成高頻電路整合度不高的原因很多，其中之一，是由於矽半導體所製作出電路的品質因數不理想，造成電路無法達到系統之要求，由於積體電路的基板是以矽(Si)為主要材料，矽是導電材料，當訊號頻率升頻之後，訊號傳輸時訊號容易由基板流失，造成訊號損耗與元件Q值不高，電路難以達到理想的特性，故目前許多系統避免使用矽基板來製作射頻電

路，可惜的是，當使用非矽基板(如 GaAs 基板)來製作電路，獲得較好的電路特性，但非矽基板製作的前端射頻電路不能與以矽基板製做的後端數位或類比電路整合一起，造成了系統無法達到 SOC(system-on-chip)的困境。

1.3 文獻回顧

在[1]中提到一個擁有 RF 功能的裝置，嵌入到一個 SOC 系統內部。它的文獻指出要將 RF 的單晶片做整合，目前被前端電路的 RF 濾波器所限制住，而造成整合上的困難 [2]。在無線通訊系統中整合 RF 濾波器，低的插入損耗是必要的一個重要的因素，因為較差的插入損耗降低了無寄生訊號動態範圍(SFDR) 特性。因此，在晶片外的濾波器，例如表面聲波(SAW)濾波器，結合使用在無線應用合適較差的插入損耗上運作在晶片上的 RF 濾波器。對無線通信系統來說，趨勢是同時朝向多重的晶片整合以及未來的技術將使用 SIP 帶通濾波器。在過去幾年裡，很多研究提出幾種技術在提升的在矽晶片上 RF 濾波器的性能。在文獻裡[3, 4], 現今在晶片上的 LC 濾波器能補償在晶片上的電感對於低 Q 值典型地實現。在文獻裡 [5, 6, 7], 在 CMOS 製程裡的一個現在有基底的電感的 RF 帶通濾波器被提到。這些現行的濾波器有合理的插入損耗，但是消耗功率。最近，在運作裡的全部是

無源濾波器 [2]以達到組合 RF MEMS 懸浮電容和電感。小尺寸晶片是大約 $1.4\ \mu\text{m} \times 1\ \mu\text{m}$ 對於無線通信系統來說是合理且可接受的。不過，它較為可惜的是 2 個濾波器的插入損耗的效果[2]是輕微高於系統。分別，損耗是在 1.67 GHz 和在 2.13 GHz 的 7.7 dB 的 5.1 dB。

1.4 本文架構

本論文主要針對矽晶片上的帶通濾波器，加入微機電元件並將原本濾波器的特性加以改善和分析，利用微機電製程改善濾波器元件的特性，進而提升濾波器的響應特性。最後，在探討本文之研究改善進步的空間。

本論文的內容，共分成以下六個章節：

第一章是緒論，說明研究動機及歷年文獻討論。

第二章是濾波器的基本原理，介紹濾波器的種類以及較常出現的現代濾波器。

第三章是微機電技術的發展與原理，介紹微機電技術發展的背景和技術原理。

第四章是微機電帶通濾波器之設計，介紹本論文設計濾波器和微機電元件設計的方式。

第五章是模擬與量測結果分析，介紹依照本論文之設計方法，模擬和量測結果。以及分析未來能夠改善此濾波器的方式。

第六章是結論，對於本論文內容，做概括性的總結。

第二章 濾波器的基本原理

2.1. 背景簡介

濾波器的設計及發展歷史已經很久了，濾波器在通信系統裡是不可或缺的一個重要結構。濾波器顧名思義有過濾的意思，其在電路中的功用任務為 在擁有各種頻率成分的信號中，過濾出系統所需要的頻率信號。本章主要介紹濾波器的種類和其不同之類型。

2.2. 濾波器的型態

2.2.1 信號頻率分類

一般而言，濾波器依頻率選擇(frequency-selection)功能來分類，大致上可分為五種形式：低通濾波器(LPF)、高通濾波器(HPF)、帶通濾波器(BPF)、帶拒濾波器(BSF)、全通濾波器(APF)這五種類形，如圖所示，其中LPF是以可通過起自頻率為零的直流，止於截止頻率(f_c)的信號。此頻帶稱為通帶(Pass Band)；較截止頻率高的信號，則呈現衰減而無法通過，稱為止帶(Stop Band)，如圖2.1。高通濾波器的特性則為相反，可以通過自截止頻率(f_c)較高的信號，而比截止頻率(f_c)低的頻率而無法通過，如圖2.2。

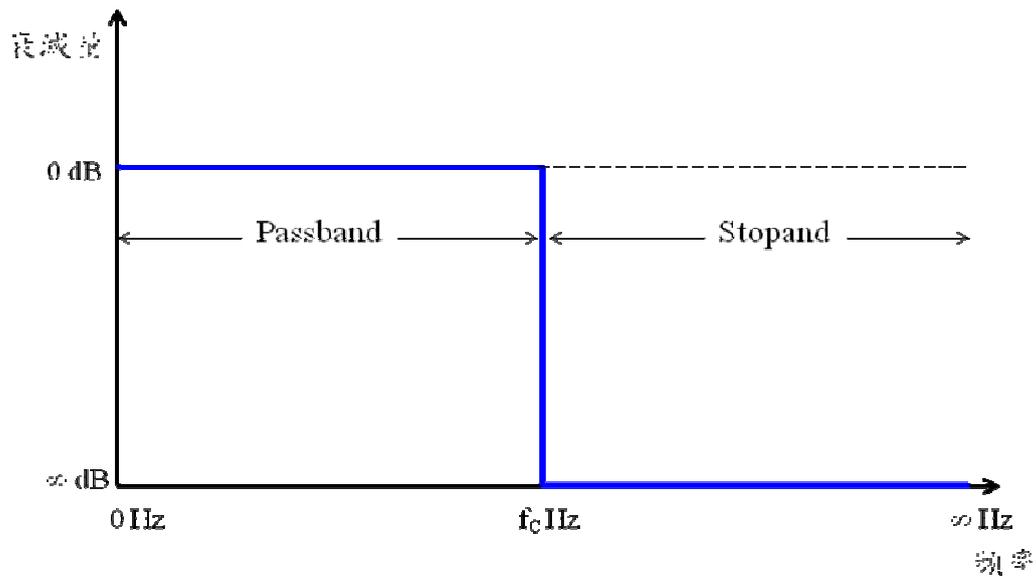


圖2.1 理想的低通濾波器

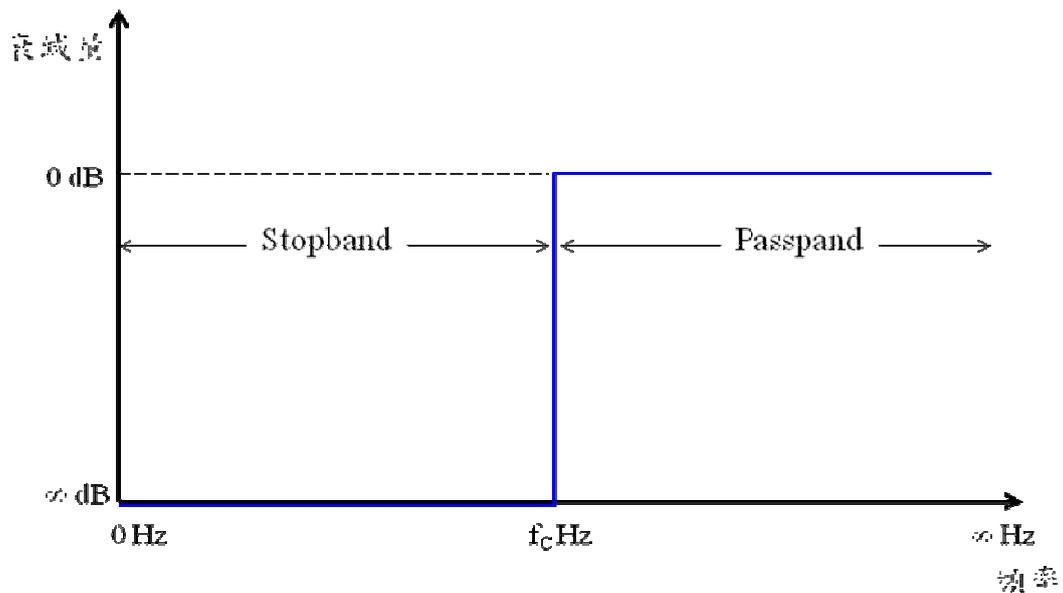


圖2.2 理想的高通濾波器

此外，被稱為BPF 如圖2.3 所示，可通過的頻率為特定的頻率中心 f_c 附近的信號，至於可以通過多少的頻帶，我們則稱之為頻寬 (BW)，頻寬的大小則決定此帶通濾波器的讓信號通過在通帶(Pass

Band)的大小。另外擁有著跟BPF相反特性，則是BSF或是稱BRF其特性，濾波器在中心頻率 f_c 附近的信號不能通過，如圖2.4。

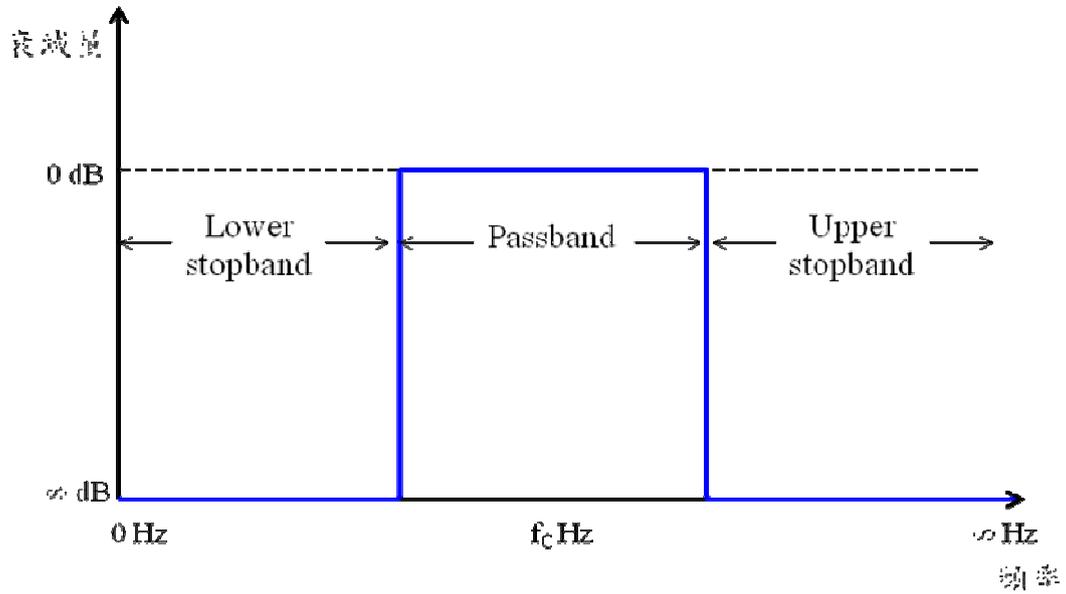


圖2.3 理想的帶通濾波器

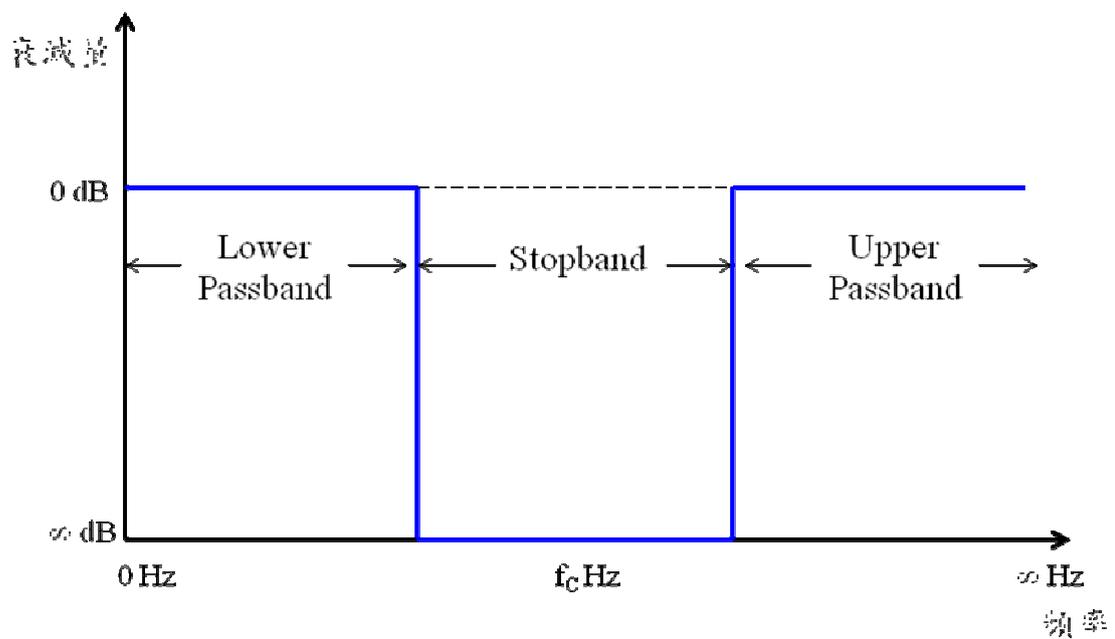


圖2.4 理想的帶斥濾波器

最後一個，為全通濾波器(APF)，其振幅的頻率特性平坦。一般情況下，在圖2.5會不知使用於何處，在濾波器使用上，當信號的延遲時間不同時，可以使用此種濾波器，已進行系統延遲時間的補正。也出為Delay Equalizer(延遲補償器)或Phase Shifter(相位移轉器)。

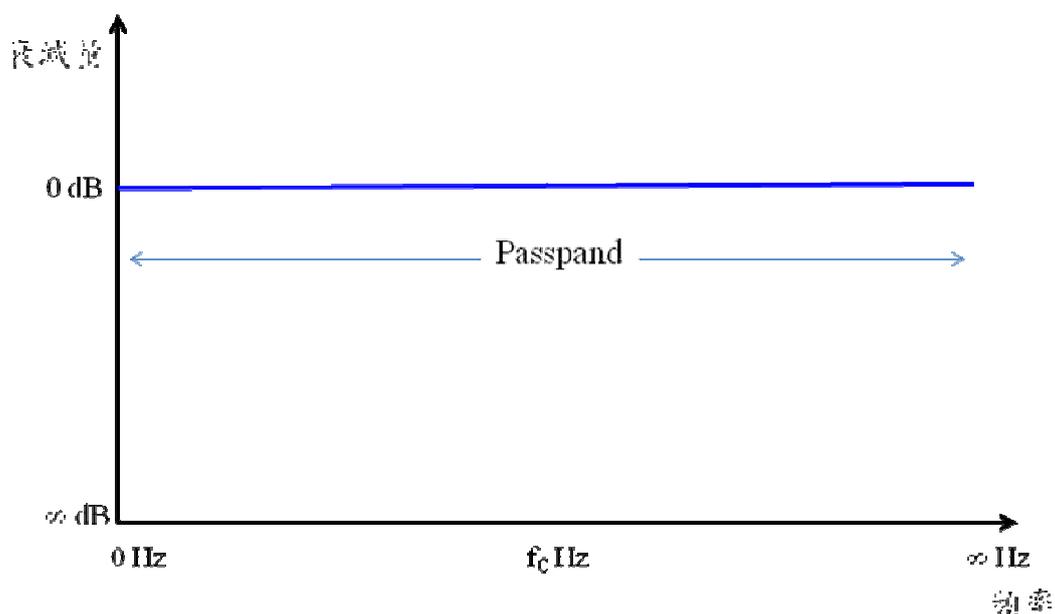


圖2.5 理想的全通濾波器

2.2.2 響應函數分類

濾波器傳統來說依照頻率響應的特性或是特性函數區分，大致上可分為巴特沃斯濾波器(Butterworth Response)、柴比雪夫濾波器(Chebyshev Response)、逆柴比雪夫濾波器(Inverse Chebyshev)、及橢圓濾波器(Elliptical Response)。其中巴特沃斯濾波器在通帶的頻率範圍內，有著最平順之頻率響應曲線，且不具漣波，可稱為最

佳平坦度(Maximally Flat)濾波器，如圖2.6。但若以相同數目的元件來比較，其截止區內的衰減率比柴比雪夫小，為中Q 值(Quality Factor)的電路。

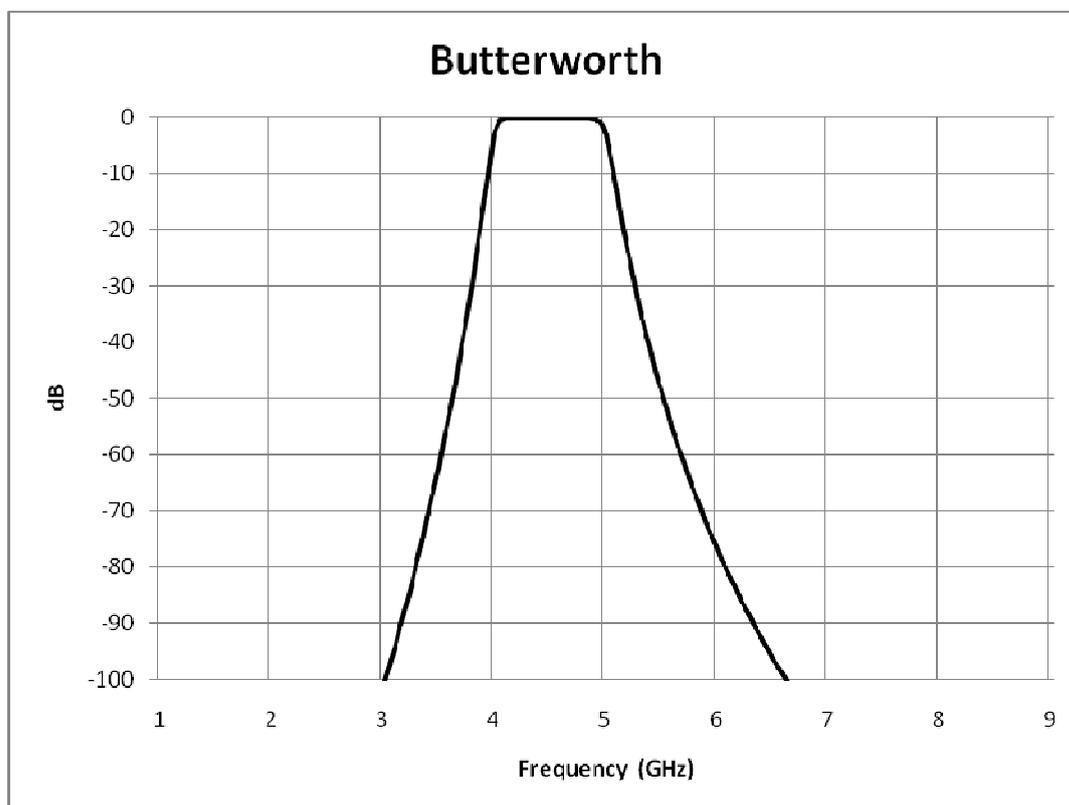


圖2.6 巴特沃斯帶通濾波器

柴比雪夫濾波器的Q 值較高，通帶內有等漣波衰減(Equal Ripple)及截止區內有較大衰減速率的特性，依照通帶區漣波的大小作為分類的依據，漣波值大則進入截止區的衰減斜率大，漣波值小則衰減斜率小，此濾波器的選擇性(Selectivity)較佳，頻率響應如圖2.7 所示。

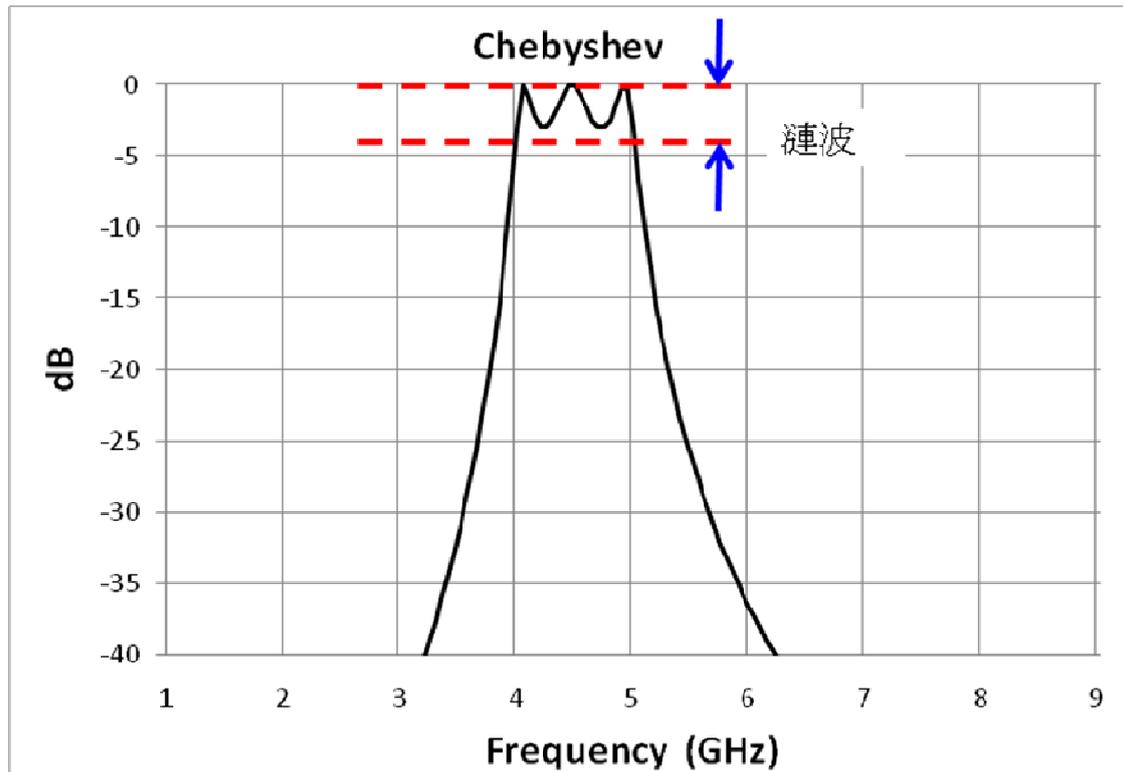


圖2.7 柴比雪夫帶通濾波器

逆柴比雪夫濾波器，擁有振幅響應平坦的特性以及比 Butterworth 和 Chebyshev 濾波器較為陡峭的 Transition band，但在阻帶內有 Zero 點的缺陷，使得逆柴比雪夫濾波器是較難以使用的。

圖2.8為柴比雪夫濾波器頻率響應圖。

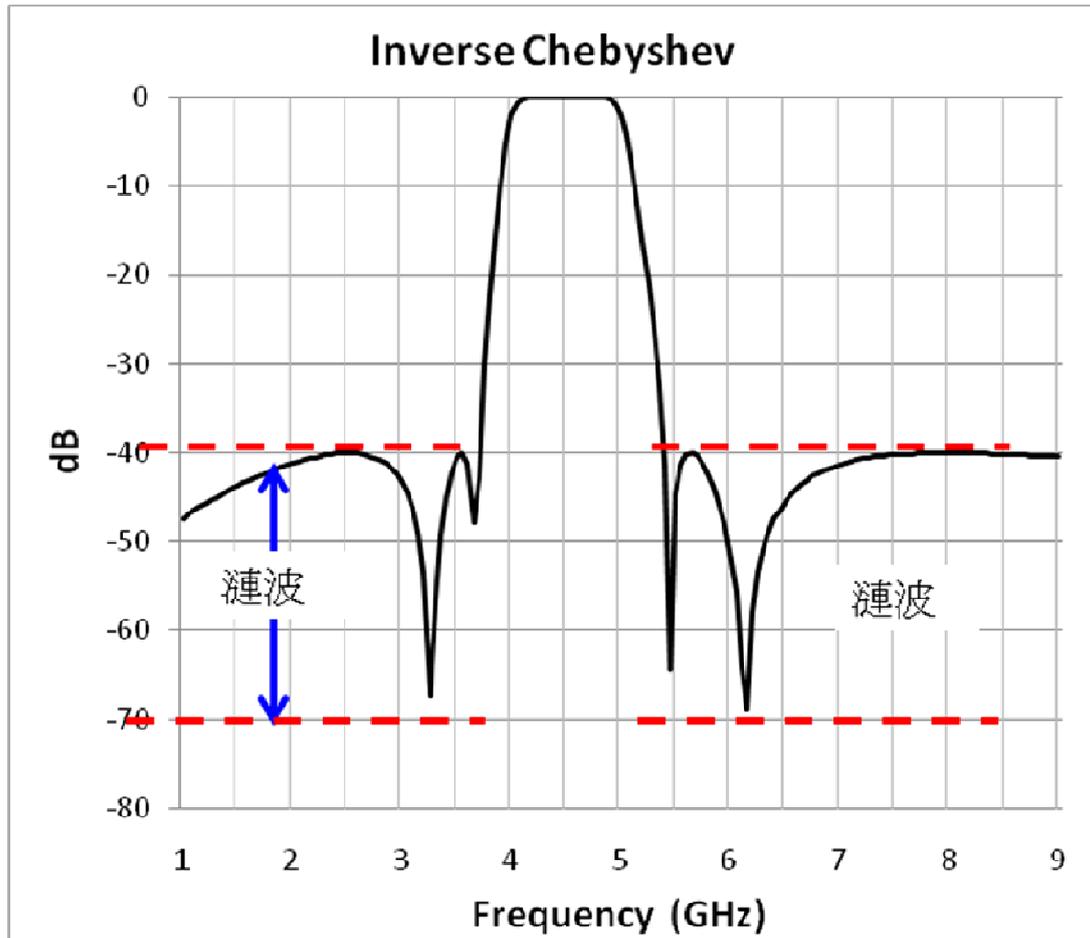


圖2.8 逆柴比雪夫帶通濾波器

橢圓函數濾波器原型濾波器，雖然在通帶內有連波，阻帶內也有陷波點，如圖2.9。因為它的參數是利用橢圓形函數來進行計算，故稱為”橢圓型函數濾波器”，也稱為Cauer濾波器。因為在阻帶和通帶都容許連波存在，所以此濾波器有非常好的截止特性，但是對於元件的要求卻也是相當嚴格的。

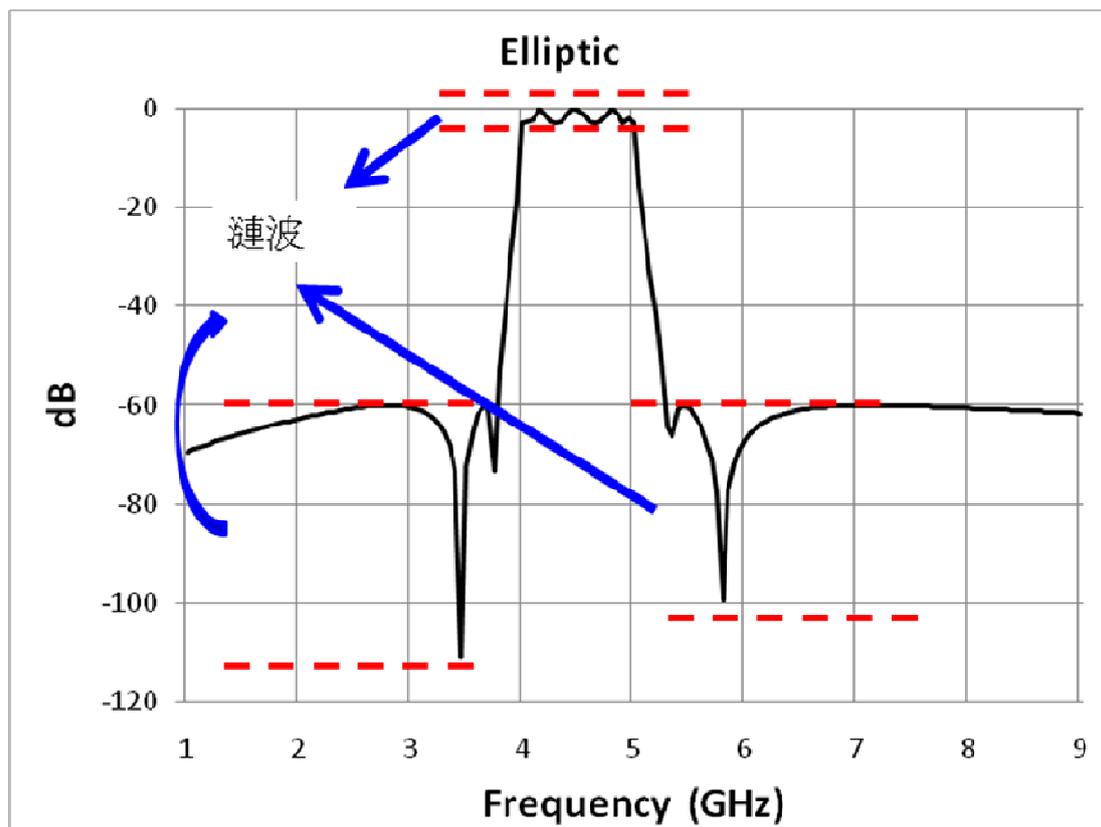


圖2.9 橢圓函數濾波器原型濾波器

2.3 LC濾波器設計

2.3.1 傳統LC濾波器

在傳統實現濾波器的技術僅採用電感和電容兩種元件，所合成的電路稱之為被動LC濾波器。這種濾波器在使用在高頻電路中擁有很工作特性，但是在低頻的應用裡則須要相當大的感值，因而物理結構過於龐大外且特性也不夠理想。在傳統上這樣的電感，也不可能實現於晶片內，所以難以整合於線在現代電子系統裡SOC的目標。此外LC濾波器的效果在高頻領域中雖有很好的效果，但在高頻領域裡，運算較為複雜許多。

2.3.2 實現LC帶通濾波器

在許多的文獻裡指出，通常帶通濾波器的設計中往往是先設計出低通濾波器後，再轉換成想要的帶通濾波器型式。此傳統方式，除計算無法一次到位外，計算過程較為繁雜容易出錯，其計算方式如[8, 9, 10]所示。

如今電腦運算科技的進步，幫助濾波器計算速度，利用現代網路理論生產提供最佳濾波器性能，利用標準轉移函數做合成，得到濾波器電路架構[11]。在本論文研究，是利用EDA 工具，Agilent ADS做合成產生符合規格之濾波器電路 [12]

2.3.3 其他種類濾波器

微帶線濾波器顧名思義是由若干個微帶線所組成各種的幾何形狀，藉此產生等效電容及電感特性，形成濾波器之特性，其常在於PCB本版上製作。大致上有直接耦合濾波器，如圖2.10：圖2.11為平行耦合濾波器；圖2.12 指叉型濾波器等。此濾波器的圈點是所需占的面積很大！



圖2.10 直接耦合濾

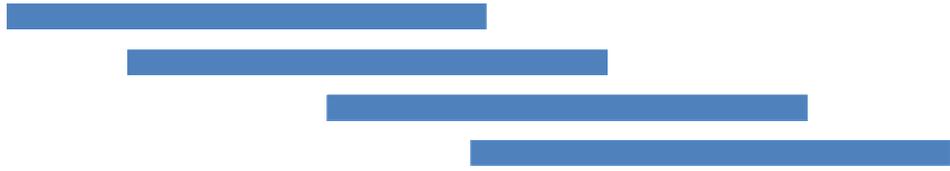


圖2.11 平行耦合濾波器

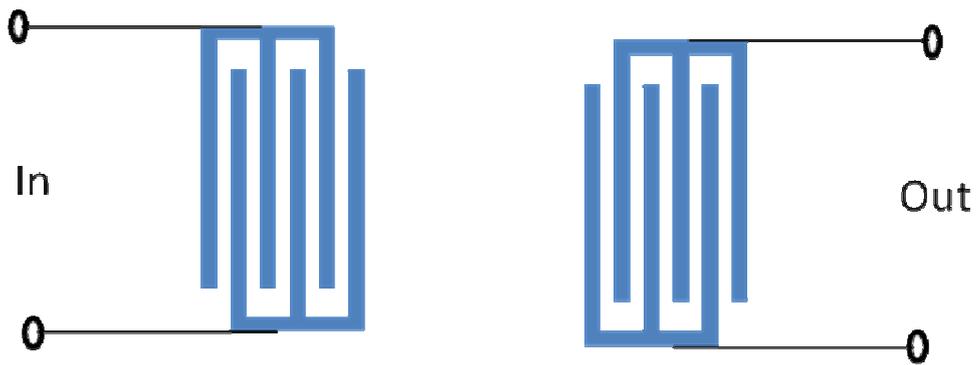


圖2.12 指叉型濾波器

其本研究是利用MEMS改善濾波器特性，下一章節將介紹MEMS製程。

第三章 微機電技術發展與原理

3.1 微機電技術起源

微機電系統(Micro Electro Mechanical Systems, MEMS)首先被著名的費曼博士在 1959 年的美國物理年會上，首度提到把機器微型化的概念，而「微機器(micromachines)」此一詞在 1978 年首次正式出現在國際學術研討會的名稱中，直到 1989 年在美國的一場研討會中，才具體提出「微機電系統」一詞。

3.2 MEMS 技術發展

3.2.1 微機電製程中的技術

雖然 1959 就提出了微型化系統的觀念，但真正促使微機電技術蓬勃發展的推手還是由於半導體製程技術的日驅成熟，使得製作微機電元件之可能性大大提升。所以標準半導體製程技術與微機電製程技術常常密不可分，如微影與蝕刻、薄膜沉積技術，可是微機電系統的發展雖然是搭著半導體製程設備與技術的便車，但由於性能與結構上的要求已不同於積體電路，所以也逐步發展出不同的製造技術。若與標準 CMOS-Si 製程的積體電路結構相比，微機電元件的結構特徵有：三維結構、高深寬比和可動結構。

(1)三維結構

積體電路基本上是一個平面結構，但微機電元件的幾何形狀比較複雜，配合晶片結合技術，常有微柱、微孔、微腔室及微溝等立體結構，再搭配立體微接頭，可構成多變的三維結構。

(2)高深寬比

為了增加強度或感測及驅動量，微元件的厚度常要求很高，可能是數或到數百微米，甚至更厚，但微結構中的微孔或間距可能只要數微米，側壁垂直度要好，所以發展出厚膜光阻、深蝕刻、同步輻射 X 光光刻等技術。

(3)可動結構

微機電元件常可見到立體或懸浮式的微結構，以容許微結構變形或運動，所以掏空微結構材料的犧牲層技術、背面蝕刻技術、連接懸浮結構而行成立體結構的微鉸鏈技術，及避免懸浮結構與下層基底沾黏的技術，都是微機電製程中特有的技術。也由於微機電元件長有中空或懸浮式結構，微元件及微系統所需的封裝技術，也就常不同於電子元件已發展相當成熟的封裝技術，目前仍處於發展中的階段。[13]

3.2.2 微機電製造和加工技術

微機電系統為一多元整合技術，其基礎及應用涵蓋於工程、科學和生物醫學領域。一般而言，微機電技術大至上可分為體型微加工技

術、面型微加工技術和微光刻電鑄模造技術。以及較新興的三種技術分別為絕緣層上矽晶技術、聚合物和積體電路相容製造技術[13]。其中又以面型微加工技術發展出與其他種類的製程整合的技術，像是將面型微加工技術整合入積體電路中，將原有的積體電路製程修改為具備有微機電製作的能力。面型微加工技術其概念源自於成熟的積體電路製程，利用鍍膜、黃光、蝕刻等半導體加工技術產生結構層及犧牲層，再利用蝕刻技術將犧牲層去除，即可將結構自由化，至此完成面型微加工之結構，如圖 3.1 所示。

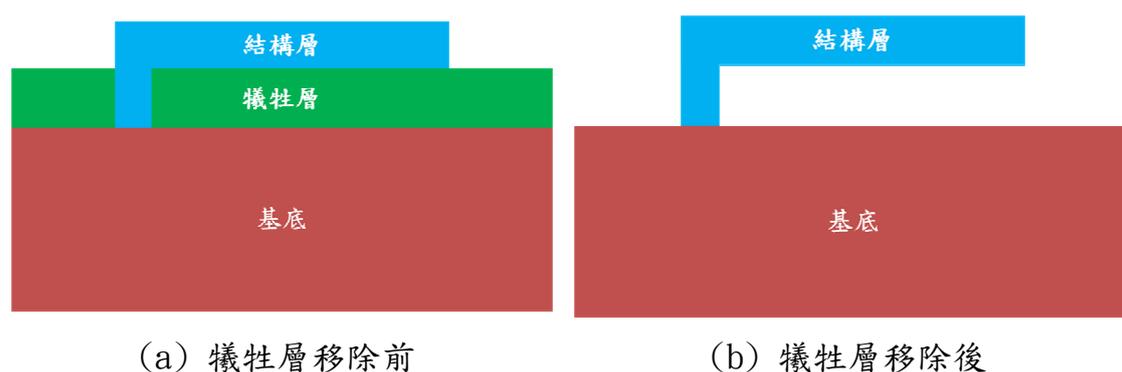


圖 3.1 微結構的釋放

目前以整合微電子電路和為機械元件來製作所謂的 COMS-MEMS 的製程技術，依照微加工處理程序的不同大致可分為前製程加工 (pre-CMOS)、中間製程加工 (intermediate-CMOS) 和後製程加工 (post-CMOS) 三大類。在其中又以 CMOS-MEMS 後製程微加工技術為較普遍的 MEMS 加工整合的方式。由於微機電的部分是先將微電子電路實現後，再做後製程上的處理，所以多半會受預先製作積體電路上材

料的限制，導致微機械結構大多是電路的金屬結構，會多少影響 MEMS 系統的可靠度，如圖 3.2 MEMS 後製程的部分是利用部分基底當作犧牲層挖除。

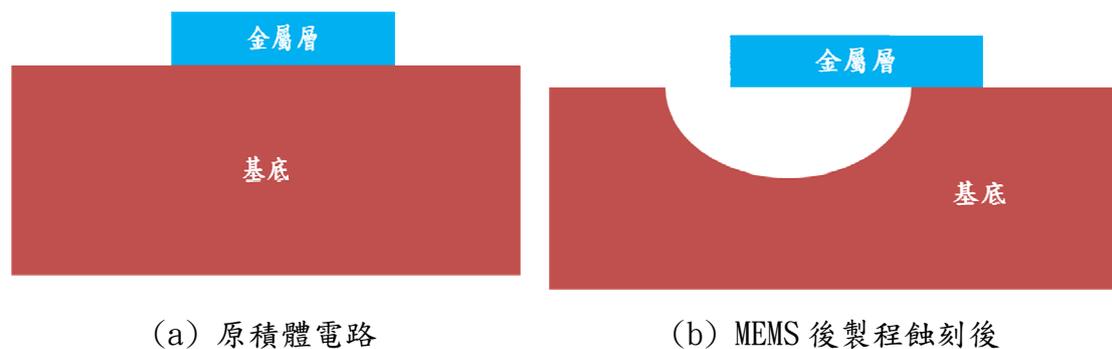


圖 3.2 MEMS 後製程

雖然如此，但憑藉著標準的 CMOS-MEMS 後製程的製作微機電裝置，不僅擁有體積小、低成本和高整合的性質。尤其在於整合高頻微波元件的應用上 RF MEMS 技術更是占有很重要的一部分。

第四章 微機電濾波器之設計

4.1. 設計方法與流程

本次設計被動射頻微機電濾波器，電感與電容是組成高頻濾波器的主要元件，其元件特性的優劣，會影響實際濾波電路的功能表現。在設計高頻濾波電路之初，一般都設電感和電容，為無損耗的元件，亦稱之為理想元件。在電路實作上，須考量材料的損耗，損耗通常以 Q 值來衡量。電感器的 Q 的定義值卻不能視為理想來設計。在有限 Q 值的元件，代替理想元件，濾波器將會產生下列效應：如圖 4.1

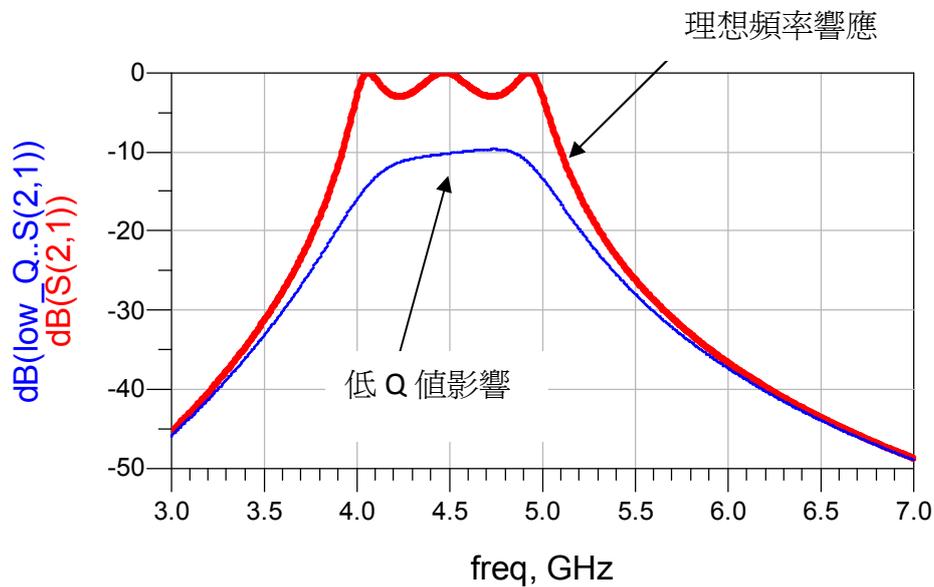
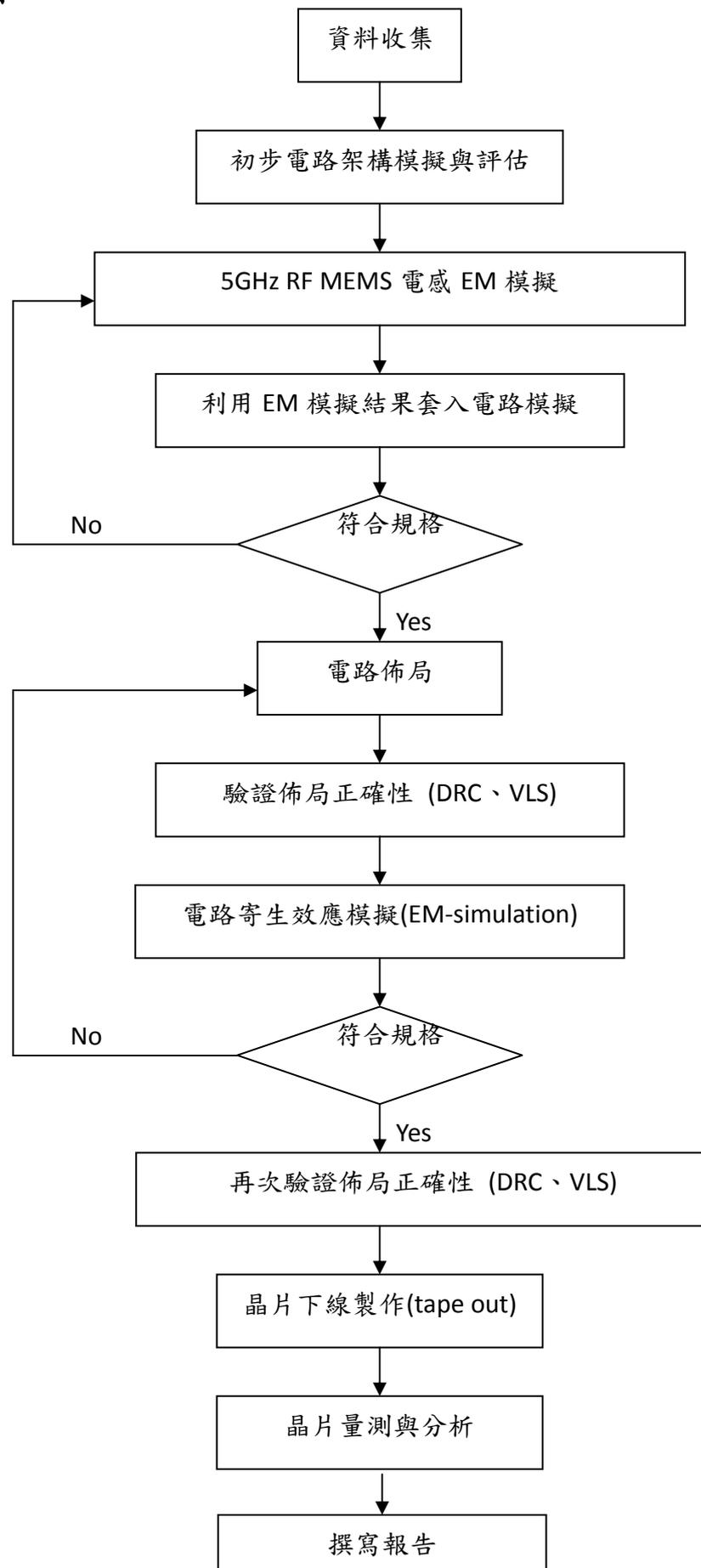


圖 4.1 元件為有限 Q 值的效應

通常在 Si 晶圓上電感的 Q 值不高，在 TSMC 0.18 model 中 Q 值

大約為 5~10 左右。設計出理想元件的濾波器可藉由電腦輔助設計 (CAD)，藉由 Advanced Design System (ADS) 設計出理想元件所組成的濾波器電路，再接著將電感加入阻抗，做非無限 Q 值元件做設計。設計出電路後，分別帶入 TSMC 0.18um 製程中所提供之 MIM 電容 model 加上利用 met 所模擬出自製 MEMS 高 Q 值電感，完成微機電濾波器最後的設計。大致上可分為濾波器之設計和懸浮式電感元件之設計兩個部分。

設計流程圖：



4.2. 微機電帶通濾波器設計

4.2.1 電腦輔助設計

通常，利用電腦輔助設計的方式，可縮短設計時間，也可以提高精準度；因此，我們使用 Advanced Design System (ADS) 電腦輔助軟體分析。藉由 CAD 幫助，我們可以經由下列幾個步驟設計出濾波器：

- (1) 利用 ADS 輔助可以找出並選擇使用的濾波器之架構，主要的為巴特沃夫、柴比雪夫(I)(II)型和橢圓形函數…等，濾波器之架構。
- (2) 藉由找出的濾波器架構電路後，將原本 CAD 所組成的理想元件加入非理想因素，進而較接近實際的狀態。並同時進行各元件 Q 值對整體電路之影響分析。
- (3) 藉由 ADS-momentum EM 電磁模擬，設計出符合濾波器規格之電感 Q 值。
- (4) 將設計好的 LC 濾波器電路之元件，電容以 TSMC 0.18 製程所提供的 model 取代，電感以 ADS- momentum 所製之電感取代並同時進行輸入反射系數(S11)和順向傳輸系數(S21)模擬與分析。

4.2.2 帶通濾波器設計

此研究中，預設濾波器規格如表 4.1，如表 4.1 可知系統對於插

入損耗以及頻率的選擇性(selectivity)有嚴苛要求，故我們使用了具有最陡峭轉態帶的 Elliptic 濾波器，選用 Elliptic 濾波器另一個很重要的因素，是不需使用大感值的電感，這一點在於使用 Si 製程的晶片中是非常重要的。Elliptic 濾波器理論發展很久且相當的成熟，利用電腦輔助軟體(CAD tool) Agilent ADS 可以幫助找出適當電路架構，其電路架構如圖 4.2，其電路之 S21、S11 與 S22 特性如 4.3 所示。

表 4.1
濾波器之規格表

頻率範圍(MHz)	插入損耗 (Insertion loss) (dB)	駐波比(VSWR) (dB)	衰減 (attenuation) (dB)
4900~5850	3.5 max	3.5 max	25@<3900MHz 25@>7250MHz

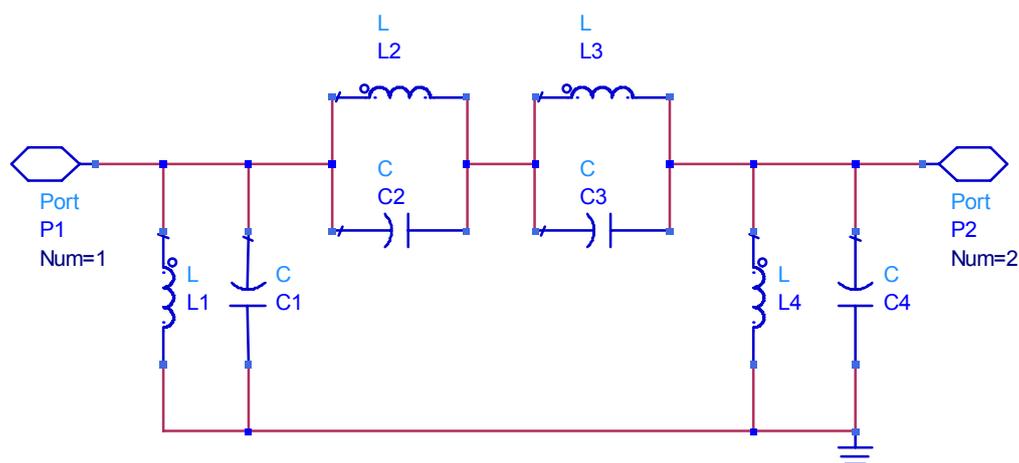


圖 4.2 電路架構圖

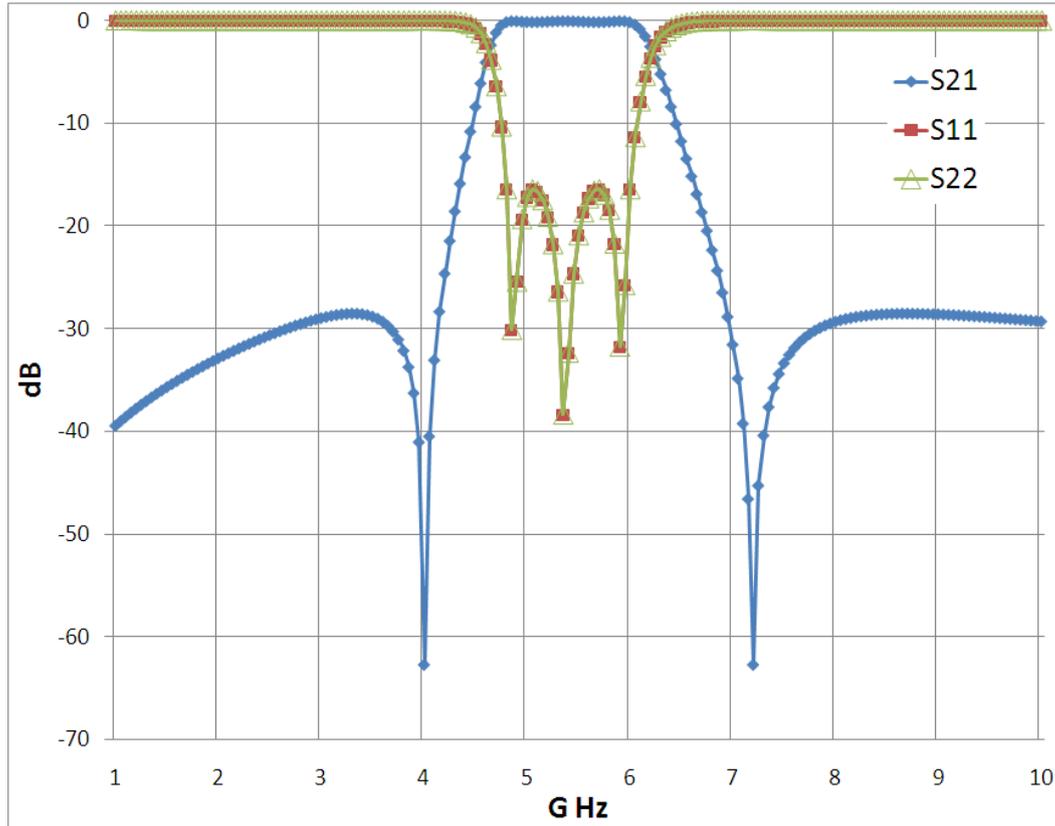


圖 4.3 濾波器 S11、S21 與 S22 隨著頻率之特性曲線

由圖 4.3 中的 S21 可得知濾波器特性符合表 4.1 規格，由於目前均為理想元件，其插入損耗接近於零，反射係數 S11 與 S22 在導通帶中均有小於 15dB 的表現。

接著考慮元件之寄生效應對於電路特性所帶來之影響。在圖 4.2，電路使用了電容與電感元件，以下分別對這兩種元件的寄生效應來討論。首先在電容元件寄生效應的考量，利用 TSMC 0.18 μm CMOS 製程中提供的 MIM 電容模型來考量實際電容的寄生效應，以 MIM 電容模型替代圖 4.2 電路中理想電容，其模擬結果如圖 4.4。圖 4.4 中使用理想元件濾波器的特性和使用 MIM 電容模型與理想電感的濾波器特性做比較，藉由比較此兩曲線可看出，兩曲線在 LOSS 的表現上差

距不大。

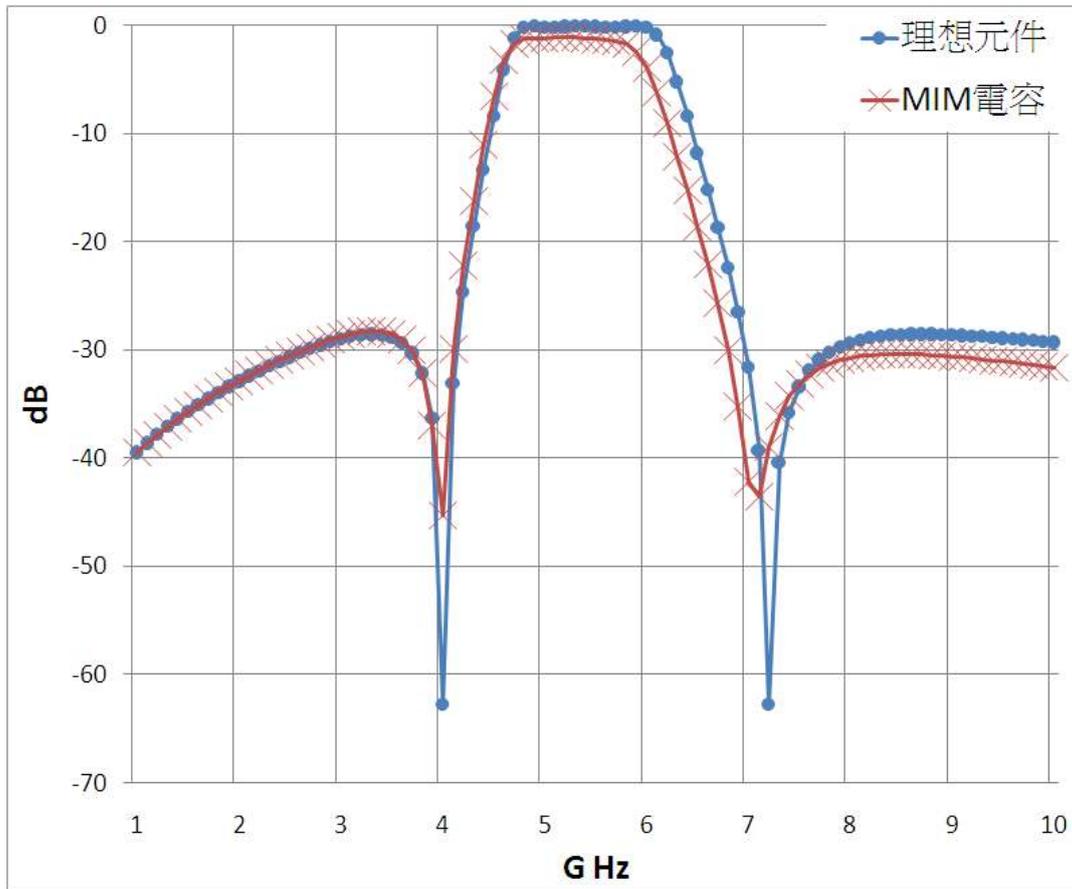


圖 4.4 使用理想元件與 MIM 電容模型與理想電感之濾波器特性比較

進一步考慮電感元件寄生效應的考量。由於電感之 Q 值對於濾波器特性有直接的影響， Q 值越高對濾波器特性越接近理想，反之 Q 值越低濾波器特性越衰退。可惜的是，在一般標準 CMOS 製程中，電感通常無法得到很高的 Q 值。若將圖 4.2 中的電感以 TSMC 電感 model 取代，而電容保持理想，則模擬結果如圖 4.5。圖 4.5 中比較理想元件和使用 TSMC 0.18um 電感模型濾波器的特性，可發現濾波器的 LOSS 明顯大很多。其中使用的 TSMC 電感模型的感值與 Q 值，如表 4.2。

經過以上分析和比較，可以說明因為在 Si 晶圓上，電感的低 Q 值對於濾波器電路的影響甚大，所以如何使提高電感在矽晶圓上的 Q 值，是我們目前急需要解決的事。

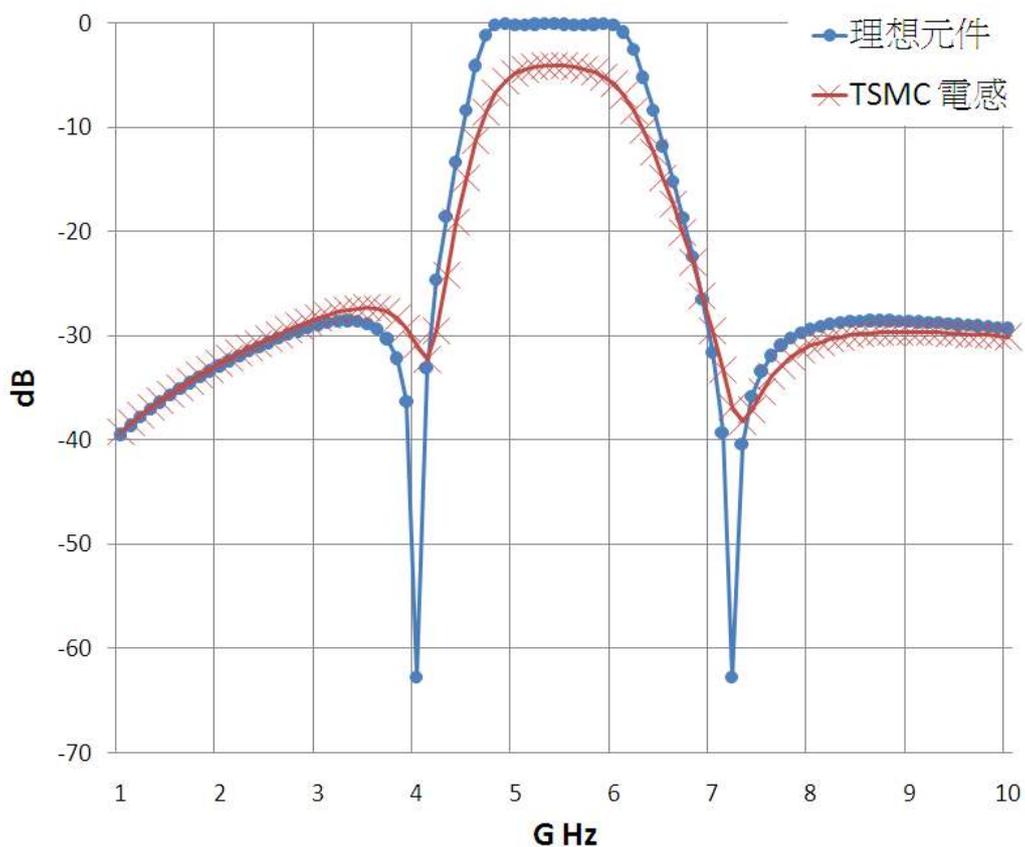


圖 4.5 使用理想元件與 TSMC 電感模型與理想電感之濾波器特性比較

表 4.2 0.18 μm TSMC 的電感 Q 值

(w: 線寬、nr: 圈數、rad: 內半徑) 5.5 GHz	L(L 值無 TSMC Model)	Q
L1 (w=15、nr=1、rad=43)	0.3616 nH	8.615
L2 (w=15、nr=2.5、rad=50)	1.5 nH	10.584
L3 (w=15、nr=2、rad=41)	0.8377 nH	10.972
L4 (w=15、nr=1、rad=43)	0.3616 nH	8.615

4.3. 微機電濾波器元件設計

4.3.1 電感非理想因素

在傳統 TSMC 0.18 μm 製程所提供的電感 model 中的品質因素 Q 都不是很高，以至於難以將濾波器已與整合晶片中，針對此次濾波器的電感的設計找出影響電感品質因數 Q。已經有文獻指出電感有 3 個主要損失在射頻應用方面在傳統的 CMOS 製程的電感裡存在，分別是集膚效應損失，鄰近效應損失(或者擁擠的電流影響損失)，並且減渦電流損失 [10]。集膚效應損失因為感應物的金屬電阻的增加被引起，因為交替的電流傾向於帶著電流的次數漸增流出這種導體的表面。低於表面的集膚深度 δ 可能被計算如下 [14]:

$$\delta = \frac{1}{\sqrt{\pi\mu\sigma f}} \quad \langle 4-1 \rangle$$

μ 是導體的絕對的有磁性的導磁率， σ 是導體的傳導率，並且 f 是電流的頻率。對這項研究過程中的鋁/銅金屬的情況來說，集膚深度是可被預測的，利用方程式 $\langle 4-1 \rangle$ 計算，並且它在 5.5 GHz 的頻率集膚深度大約是 1.38 μm 。電感應物金屬的厚度是 2.34 μm ，這比集膚深度濃。因此，集膚效應損失可能被在這項研究過程中忽略。

為有更高的感值的螺旋形的電感，是必須繞較多的圈數，Q 值經常由於鄰近效應的發生，造成 Q 值大幅降低情況 [15]。鄰近效應的示意

圖，如圖4.6。作為在電感裡的鄰近的變化的磁場進入與它的表面垂直的輪廓，渦電流被在在內部輪廓邊緣(最近的感應物的中心)增加的電磁感應的輪廓內生產，並且從在外面的邊緣上當今的激勵中減去。這使電流過度集中，增加的阻值將超過適合相同的電流存在整個線的寬度，並且降低電感Q值。因此，此效應被在電感設計時須被考慮進去。

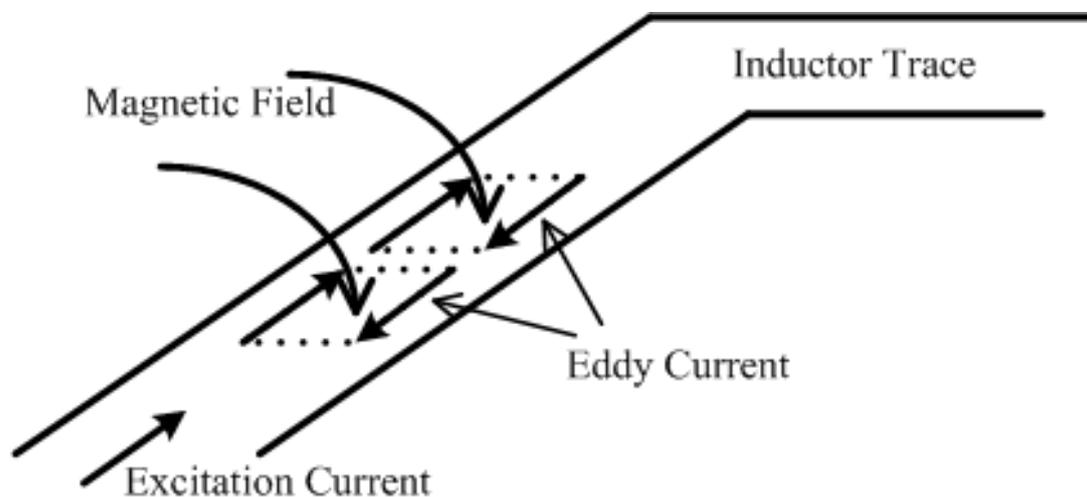


圖4.6 鄰近效應的示意圖

許多研究提議分析和渦電流損失的模式是由於基底產生一個反向的感應電流 [16, 17, 18]，如圖 4.7。當今的電感引起磁場，磁場透過導電的基底。因為法拉第定律，磁場在基底裡的環周遭產生一個電流。在基底裡的回路電流是渦電流。它使能量消散，並且建立於反向引起的一個磁場形成感應電流。那些渦電流減少電感整體的磁通量等於增加電感的電阻並且減少電感Q值。

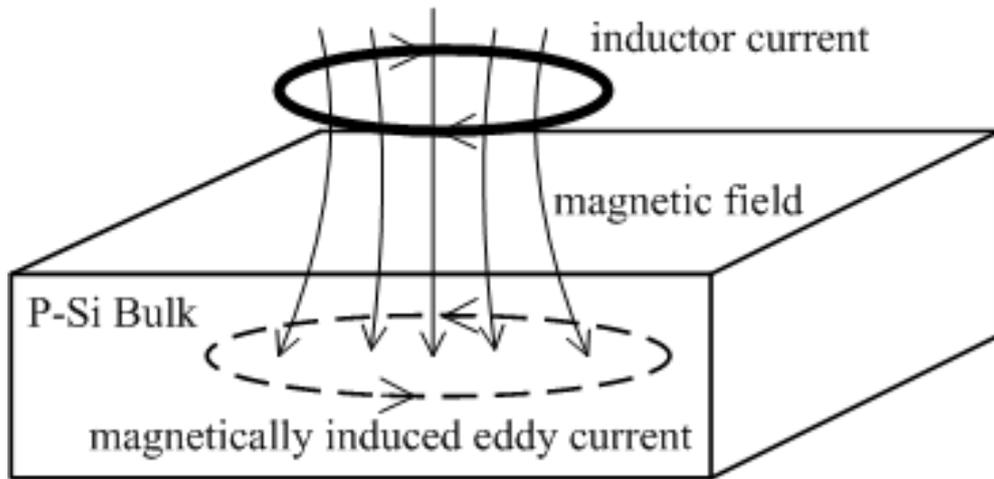


圖 4.7 在基底中的渦電流

為了使基底底層渦電流損失減到最小，一些技術在過去幾年裡已經被提出，例如關於高電阻的基片[19]，有被仿照的地盾的電感[20]和電感用 microelectromechanical 系統(MEMS)的電感技術 [18, 21]. 在這些技術中，MEMS 技術最用來提升電感 Q 值上，為射頻(RF)電路上所應用(例如 VCO，RF 開關和 RF 濾波器) [2, 22, 23, 24, 25]. MEMS 過程採用乾或濕的蝕刻法除去這個基底的矽基板並且懸掛電感。因此，基底的渦電流也被直接降低。研究[23]報告指出 1.88 nH 的最大的 Q 值在 8.5 GHz 已經被改進幅度到 88%。在這項研究過程中，這種 MEMS 技術被選擇提升電感 Q 值的重要因素。

4.3.2 MEMS 電感設計方式

借由下列方法與步驟我們可以製作及模擬 MEMS 電感及本身的品質因數 Q。

藉由 CAD (ADS Momentum1)幫助，設立 MEMS 模擬環境：

利用 ADS Momentum1 幫助，可模擬微機電後製成的效應，其方法是利用 Metal 與 Substrate 間，設一空氣層約 50um 左右，以模擬出使用 MEMS 後製程下的 Substrate 蝕刻情況。其 MEMS 電感製作流程示意圖，如圖 4.8，將先以非等向性蝕刻，挖出所想要的面積，再以非等向性蝕刻把基板挖空完成 MEMS 電感製作。

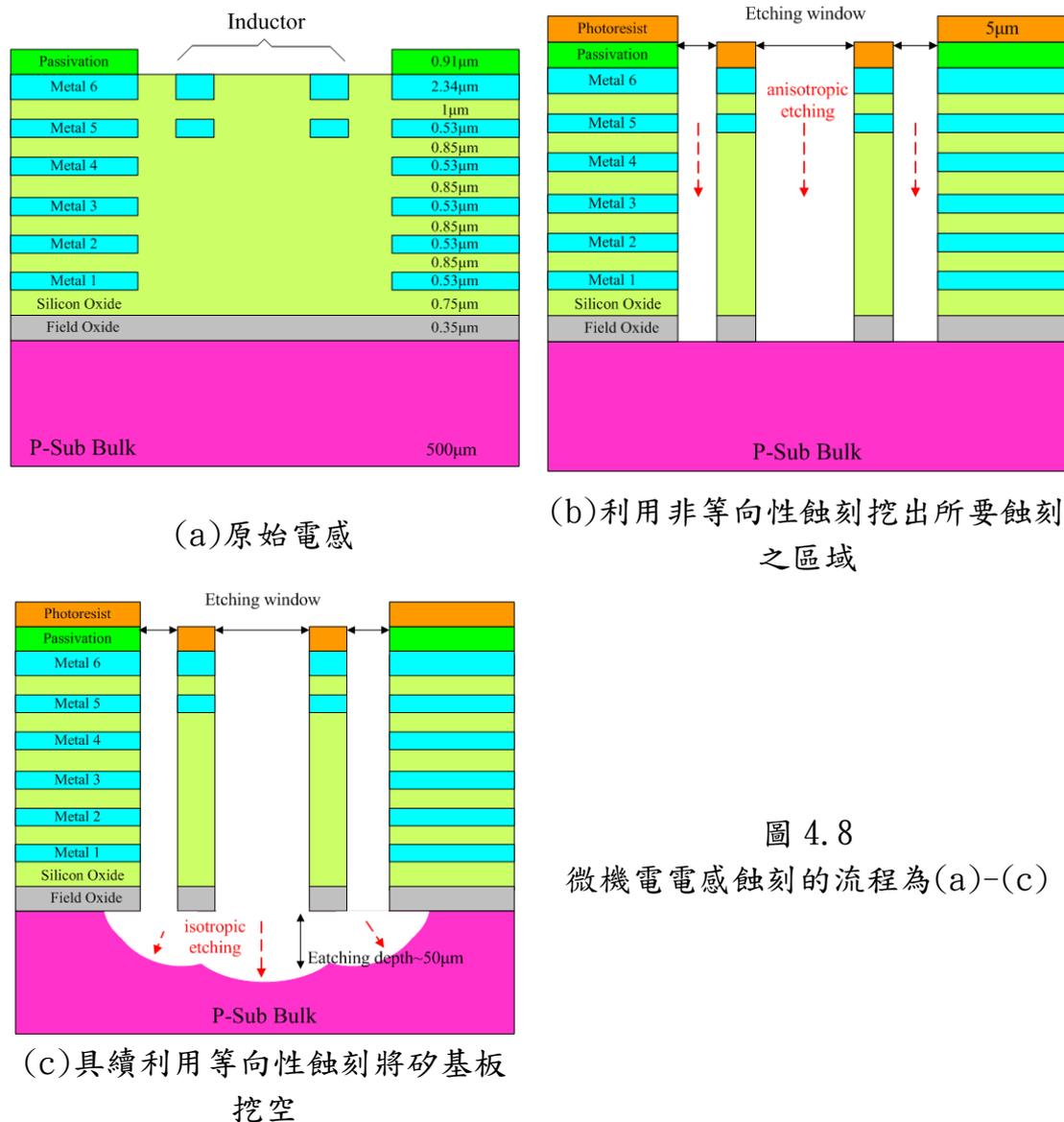


圖 4.8
微機電電感蝕刻的流程為(a)-(c)

4.3.3 傳輸線電感

製作低阻值電感 我們首先了解電感之 Q 值，電感之 Q 值可表示如下：

$$Q = \frac{2\pi fL}{R} \quad \langle 4-2 \rangle$$

由上式所知，電感的 Q 值是跟 R 值呈獻反比的關係，降低電感的 R 值是很提升電感 Q 值最快也是最直接的方式，其設計的概念為了配合製程之需要而有所變化。以 TSMC 0.18um 為例，再設計高 Q 值電感應單層 metal 6 以傳輸線的方式繞線做設計，可是缺點為在使用傳輸線當電感使用時，因為磁通量往往無法有效累積，導致電感呈獻低感值現象，若配合電路設計時的低感值電感，整體來說會有不錯的效果，如圖 4.9。

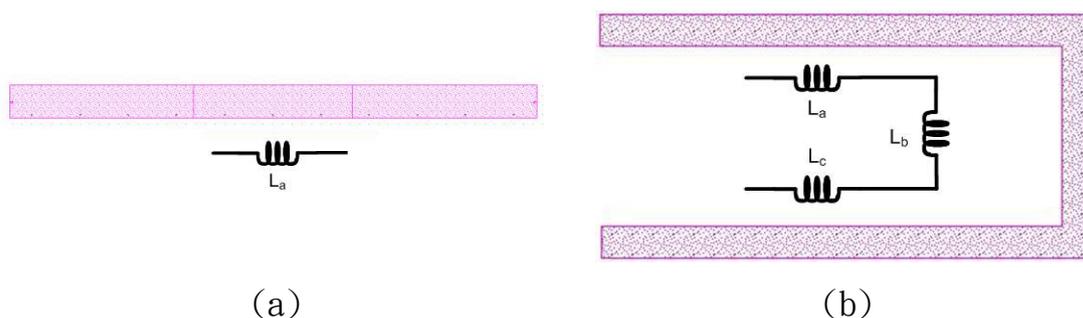


圖 4.9 利用傳輸線方式設計高 Q 值電感

4.3.4 繞線電感

第二種設計方式是因應較高感值方式設計的，雖然傳輸線電感可

以擁有較好的電感 Q 值，但是做一個電路往往不可能只有小感值的電感，若感值超過 1 nH 以上，則需使用繞線型式的方式製作出電感。考慮，兩變化的螺旋形的電感架構有對稱性。如圖中所示使用，圖 4.10(a) 電感是由 metal 5 和 metal 6 層形成，並且它的感應物的內徑是 230 μm ，電感繞線寬度是 35 μm 。

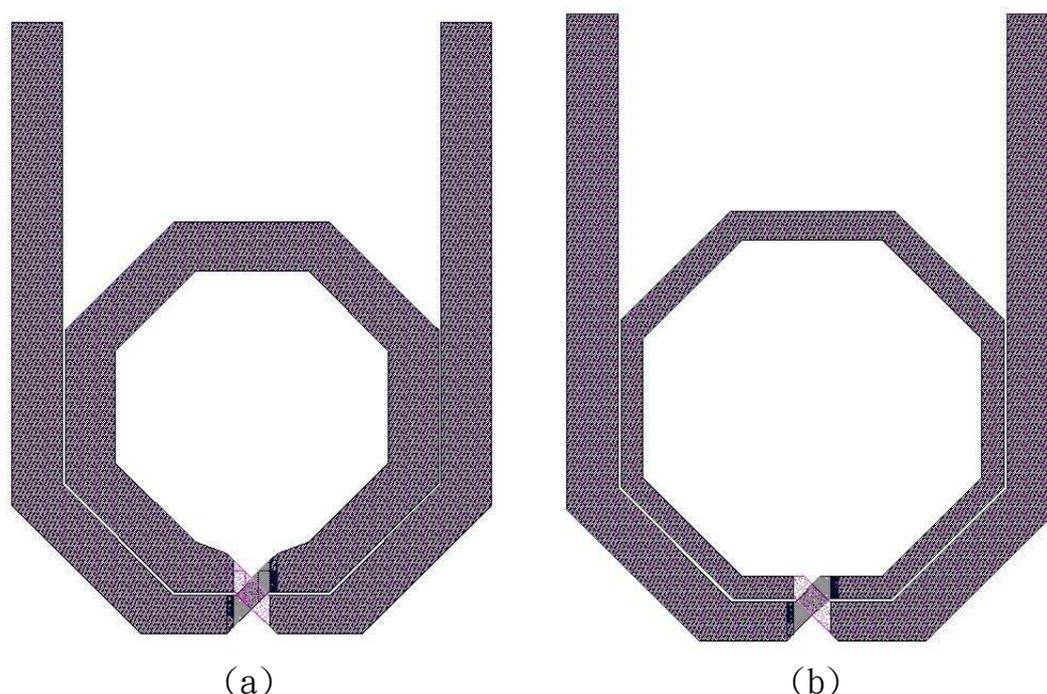


圖 4.10 有對稱性的兩個變化的螺旋形的電感

圖 4.12 顯示，在沒有 MEMS 技術改進的電感 Q 值在 5.5 GHz 為 7.1。在經過 MEMS 後製程加工之電感，電磁模擬結果顯示電感 Q 值在 5.5 GHz 下被提高到 19.32。MEMS 技術將電感 Q 值的改進 172%。為了減少鄰近效應損失，內圈寬度如圖中所示降低到 15 μm ，如圖 4.10(b)。引起電感的渦電流以鄰近變化的磁場將預測降低由於縮小的內圈線寬導

致，在鄰近效應損失的減少，可由圖4.11得知。被修改後的電感的Q值是24.7，在減少鄰近效應損失後，Q值改進幅度是28.2%。它也顯示使用MEMS技術和降低圈寬度，Q值有248.9% 改進幅度。

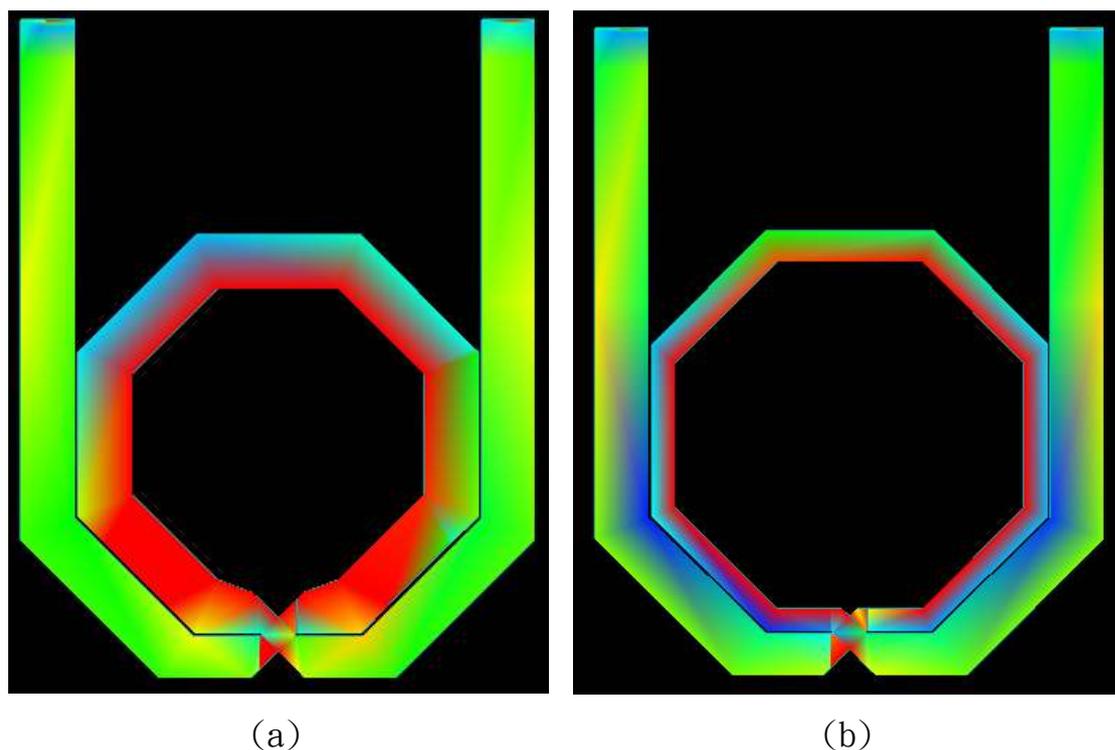


圖4.11 兩個電感的電流分佈圖

如圖4.11所示，其中圖4.11(a)內徑為 $35\mu\text{m}$ 比4.11(b)內徑為 $15\mu\text{m}$ 可發現電流更集中於內圈靠近中心的位置，所造成的鄰近效應也較大。

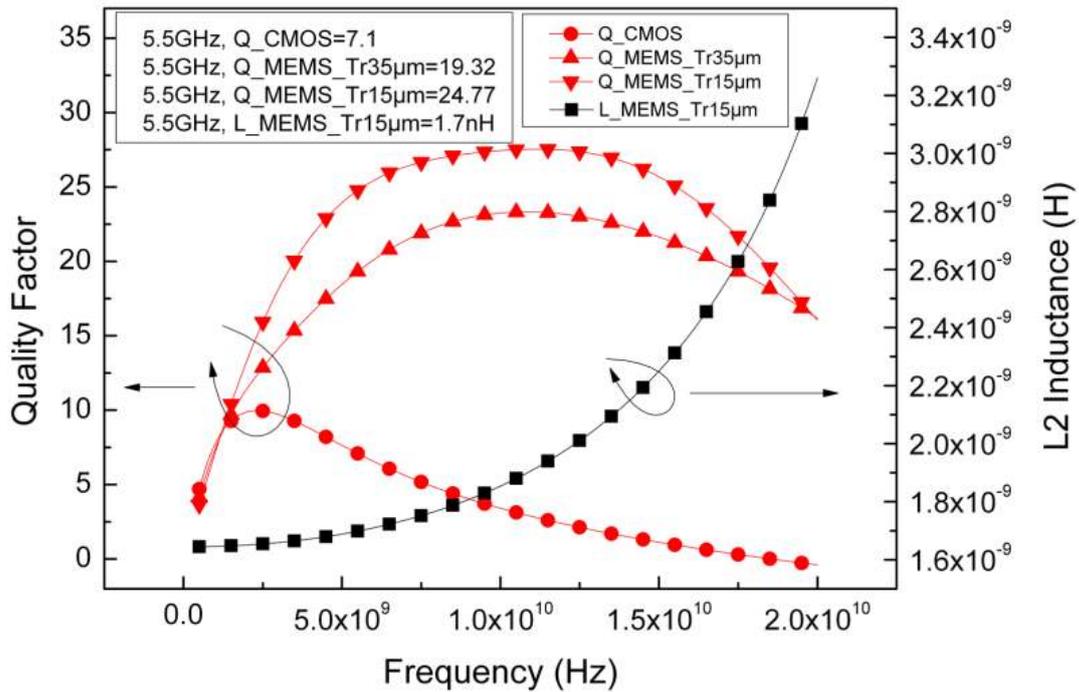


圖4.12 在不同內徑下，電感的Q值比較圖。

此方式雖易較得到較大感值的電感，但是使用繞線方式無可避免的會使用阻值較大的VIA56和Metal 5而大幅降低電感的Q值，也由於鄰近效應的存在所已在設計電感上，為維持電感的Q值與感值在設計上須設計在2圈之內，這樣設計方式最大的好處是可以兼顧電感的感值與Q值

第五章 模擬與量測結果分析

5.1. 模擬與量測結果

5.1.1 濾波器模擬結果

本實驗之微機電濾波器的模擬結果分三個部份，第一部份為使用電磁模擬的部分；第二部份為 MEMS 電感利用 EM Simulation 模擬的感值、Q 值與 R 值表；第三部份為完整電路經電磁模擬之結果

第一部份：

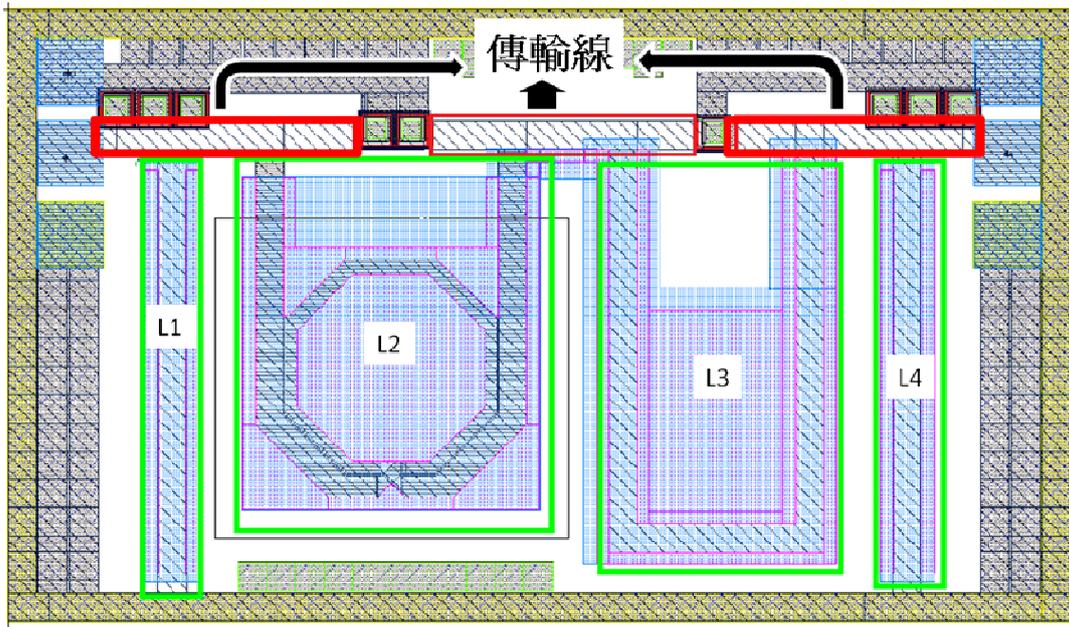


圖 5.1 電磁模擬示意圖

1. 本電路傳輸線部份為考慮輸線效應，利用 EM Simulation 模擬
2. 電感 L1~L4 部份為自製的電感，利用 EM Simulation 模擬。
3. 在傳輸線和自製電感利用 EM Simulation 模擬結果，帶回 ADS 做整體模擬和微調。

第二部份：

使用自製電感在 TSMC 0.18 μm MSMS 製程下利用 EM Simulation 在 5.5 G 頻率下模擬出的感值、Q 值與 R 值表，如表 5.1。

表 5.1 模擬出的 L、Q、R 值表

	感值(nH)	Q 值	R 值(Ohm)
L1	0.386	31.346	0.427
L2	1.699	24.711	2.370
L3	0.693	25.936	0.924
L4	0.386	31.346	0.427

第三部份：

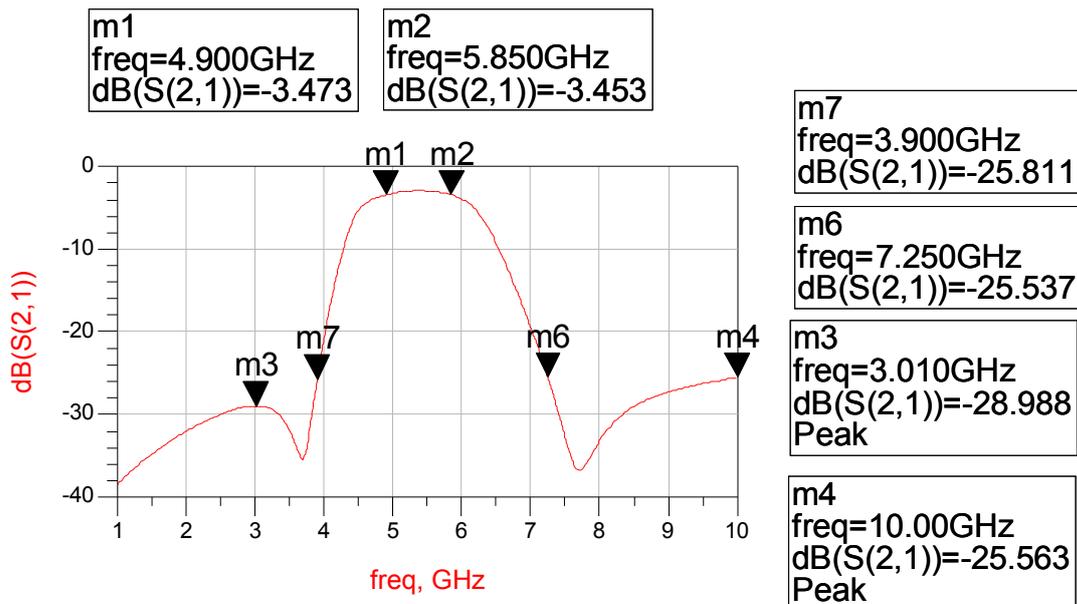


圖 5.2 濾波器在 4.9G~5.85G 的 S21 模擬結果

本次設計射頻微機電濾波器，使用自製的 MEMS 電感和 TSMC 0.18 μm 製程的電容模型，利用 ADS 將其設計之電容、電感元件和傳輸線加以組合，其電路之模擬結果如圖 5.2)。可發現其中濾波器輸入信號 S21 其中插入損耗(Insertion loss)在 5.5G 的頻段不超過 4 dB。

5.1.2 濾波器量測考量及量測結果

本電路的 Input、Output 皆以 GSG 的方式佈局。因此量測時所使用的量測方式為 On Wafer，即 RF 部分以 100 μm pitch-to-pitch 的 GSG Probe 量測，其中圖 5.3 為 RF 探針示意圖，其中 Port1 和 Port2 代表待測的兩端，圖 5.4 為晶片拍照圖。藉由 CIC 的高頻量測儀器，網路分析儀 HP8510C 和 RF Probe Station，進行量測。

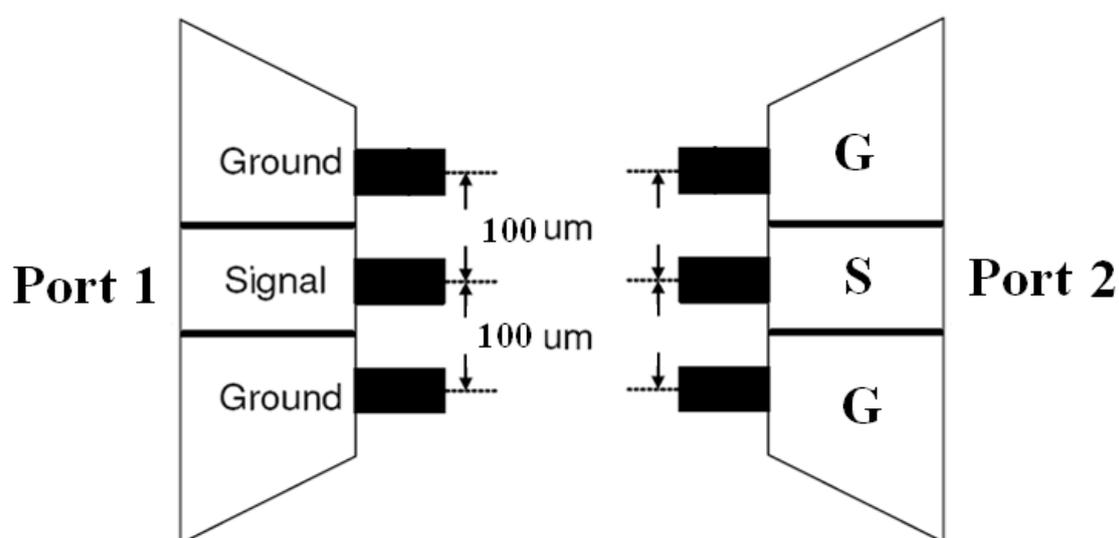


圖 5.3 間距為 100 μm 之 RF 探針示意圖

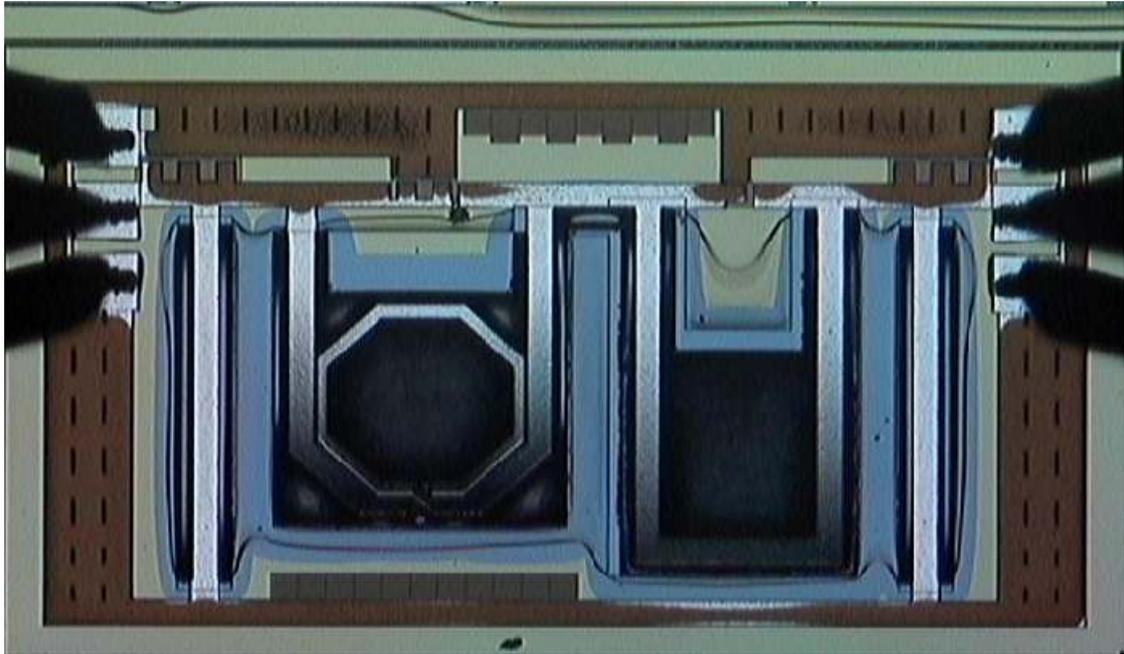


圖 5.4 微機電濾波器晶片拍照圖

經由 CIC 的高頻量測儀器的量測下，其量測結果如圖 5.5。

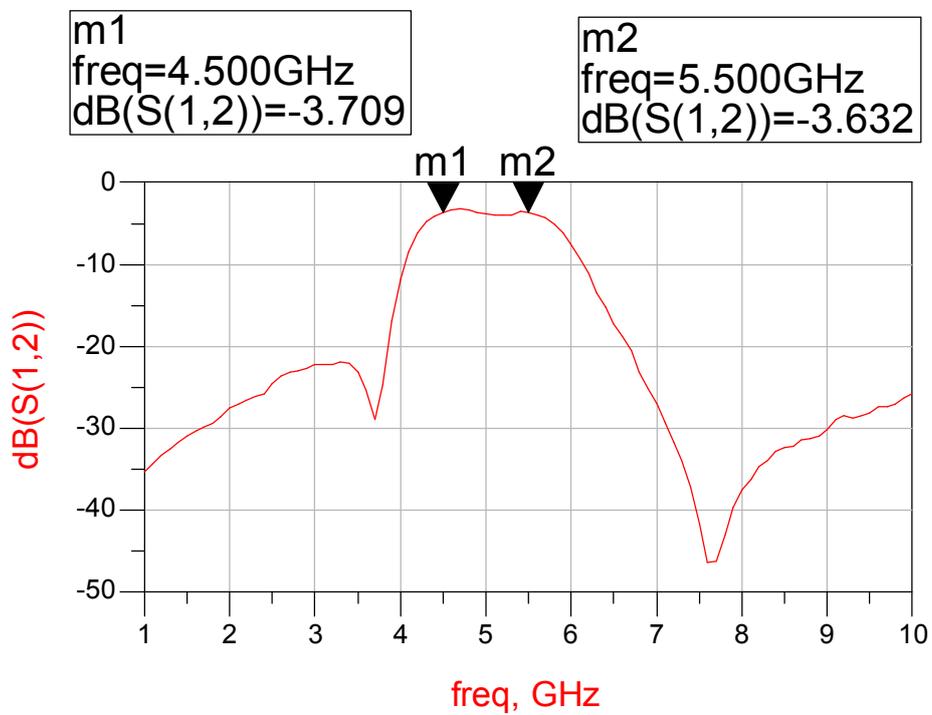


圖 5.5 微機電濾波器量測結果

5.2. 量測結果分析

將量測結果與模擬結果，放在一起做分析，如圖 5.6。如圖所示可發現，在實際量測值比模擬值頻偏了約 500 MHz 的頻段。由此模擬與實測之結果之差異，若我們將電路更改 L、C 值使模擬結果逼近實際量測的值，如圖 5.7。

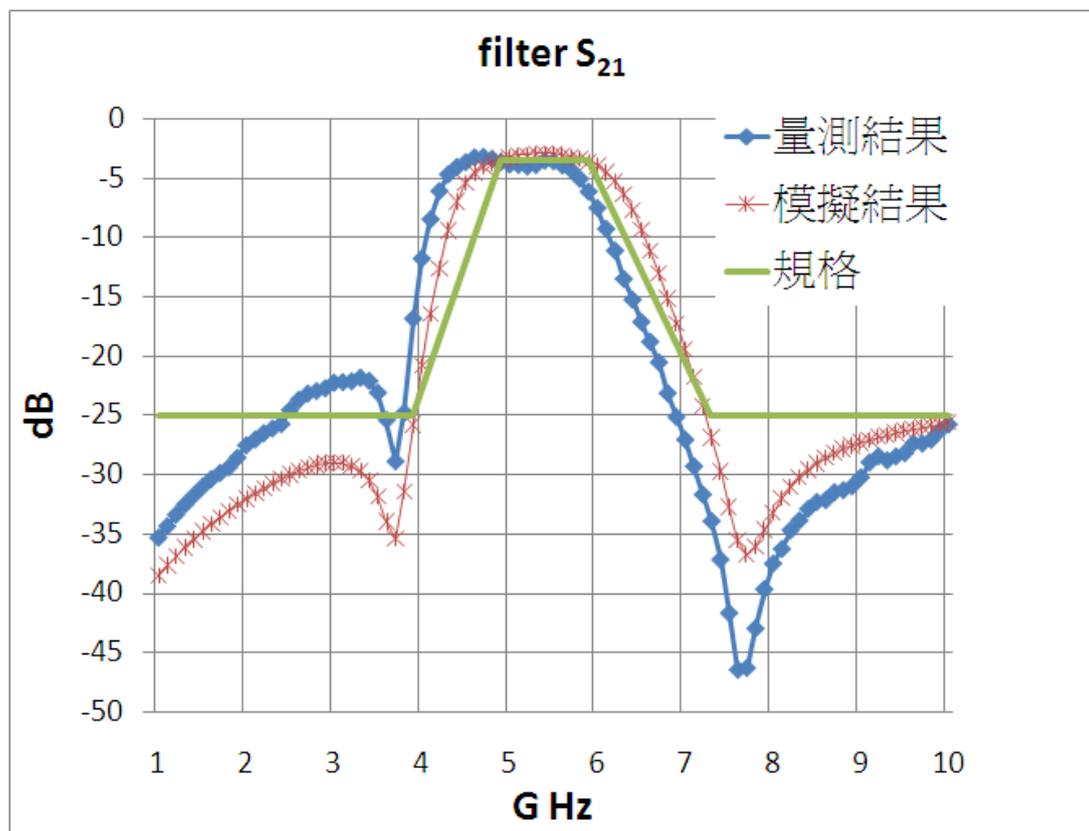


圖 5.6 微機電濾波器模擬與量測結果比較

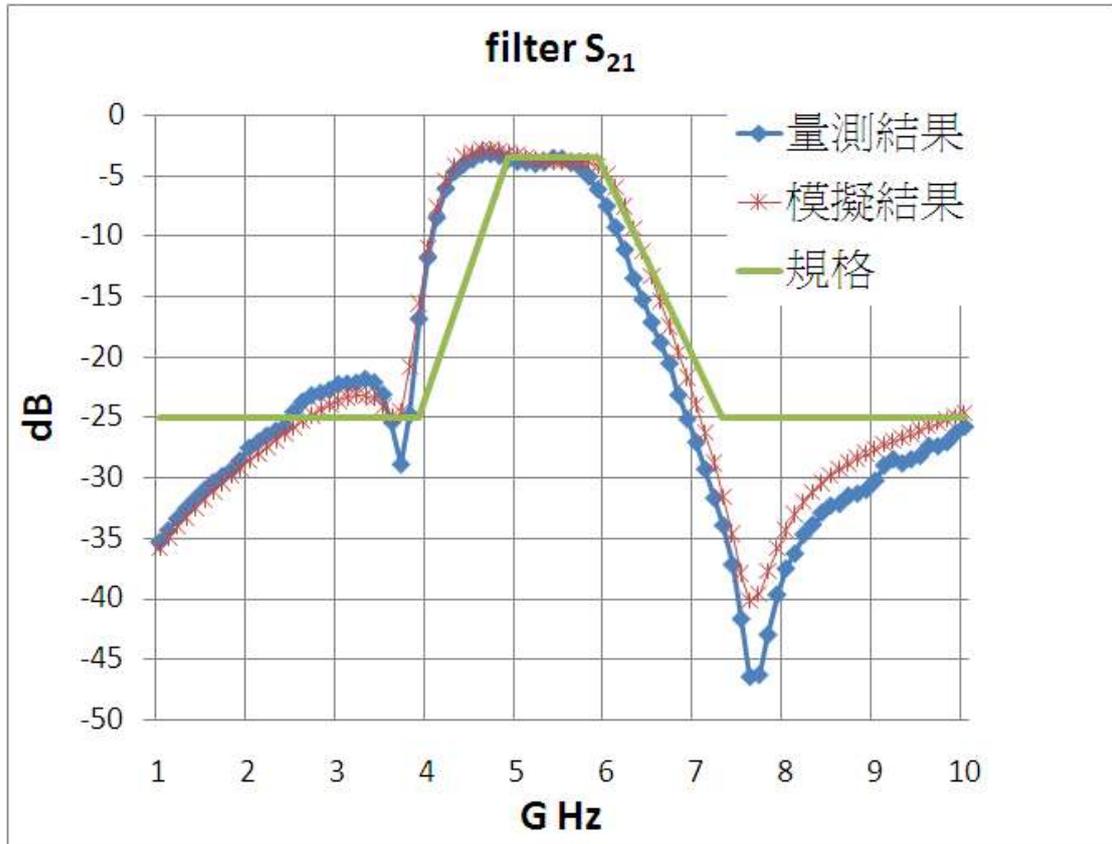


圖 5.7 將模擬值調至量測結果

做圖 5.7 的動作，主要是分析並了解實際在製程上的變異影響電路情況或是在模擬上的一些因使用 MEMS 製程下未能考慮之因數。經由上述之動作，我們可以得到一個 L、C 之差異值，如表 5.2 所示。

表 5.2 量測與模擬預測的 L、C 差異值

元件編號	L (nH)	L (nH)	C (pF)	C (pF)
1	0.386	0.386	1.931	1.931*1.4
2	1.699	1.699 - 0.6398	1.036	1.036*1.4 + 0.1849
3	0.693	0.693 - 0.19	0.534	0.534*1.4
4	0.386	0.386	1.931	1.931*1.4

由表 5.2 可知，頻偏的主要因數來自電容的因素，每個電容元件的有寄生電容過大的整體效應。因此，導致整體濾波器的頻率向前偏移了 500 MHz 左右。整體電路雖有頻偏的現象，若扣除頻偏的考慮因素後，Insertion Loss 上仍保持在 4 dB 以上且與模擬的 LOSS 差距不大，這表示雖然濾波器有頻偏現象，但整體特性仍保持水準以上。

將所做之量測結果及過去的文獻做比較，如表 5.3 所示。在[2]文中提到越高頻所得的 Insertion Loss 和使用的面積也會跟著變大。吾人所製自 MEMS 濾波器在 Insertion Loss 表現上呈現均在 4 dB 以上使用面積也較為文獻中的小。

表 5.3 與過去文獻之比較

References	Active /Passives	Frequency	Insertion Loss	SIZE
[2]	Passives [MEMS]	1.67 GHz	5.145 dB	1.4mm*1mm
		2.13 GHz	7.7 dB	
	Passives [MEMS]	3.12 GHz	10.2 dB	2.7mm*1.2mm
		4.13 GHz	13.9 dB	
[5]	Active	880 MHz	※-5.99 dB	115 μ m*70 μ m
This work	Passives [MEMS]	4.5 GHz ~ 5.5 GHz	3.7 dB	0.75mm*1.3mm

※實際 S_{21} 為正值

5.3. 未來改善方法

5.3.1 元件對電路的影響

首先針對電感的 Q 值對於電路的影響，基於第四章所提電感 Q 值對於電路影響之重要性做重新的檢視。對於圖 4.2 對電感做 Q 質上變化的模擬與分析，如圖 5.8。

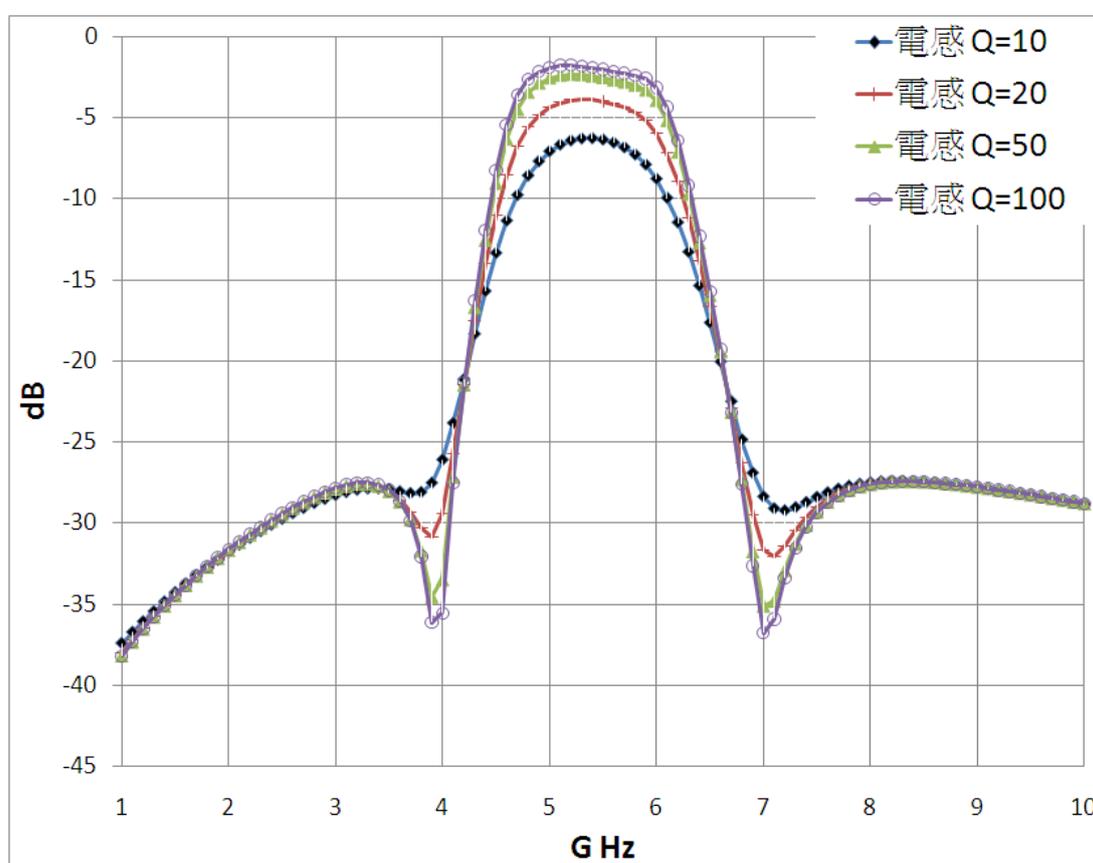


圖 5.8 濾波器對電感 Q 值的邊際效應

根據圖 5.8 上所示，我們可以發現當電感 Q 值大於 20 以上，當電感 Q 值越高，對於濾波器電路的特性幫助呈線逐漸趨緩的現象，即是所謂的邊際效應的發生。雖然電感愈高的 Q 值，一直是我們追求的目標，但是電感的 Q 值愈高代表設計電感的難度更高，重點在於在這

麼高 Q 值的電感下對於濾波器電路的特性卻是幫助有限。針對超高 Q 值對濾波器特性影響有限下，我們必須找出其他影響整體電路特性的其他原因。其中之一的因數為濾波器的另一個原件—電容。借由 ADS 軟體的幫助，我們可以找出 TSMC 電容模型之品質因數 Q，如表(5-3)。

表 5.4 TSMC 電容模型之品質因數 Q

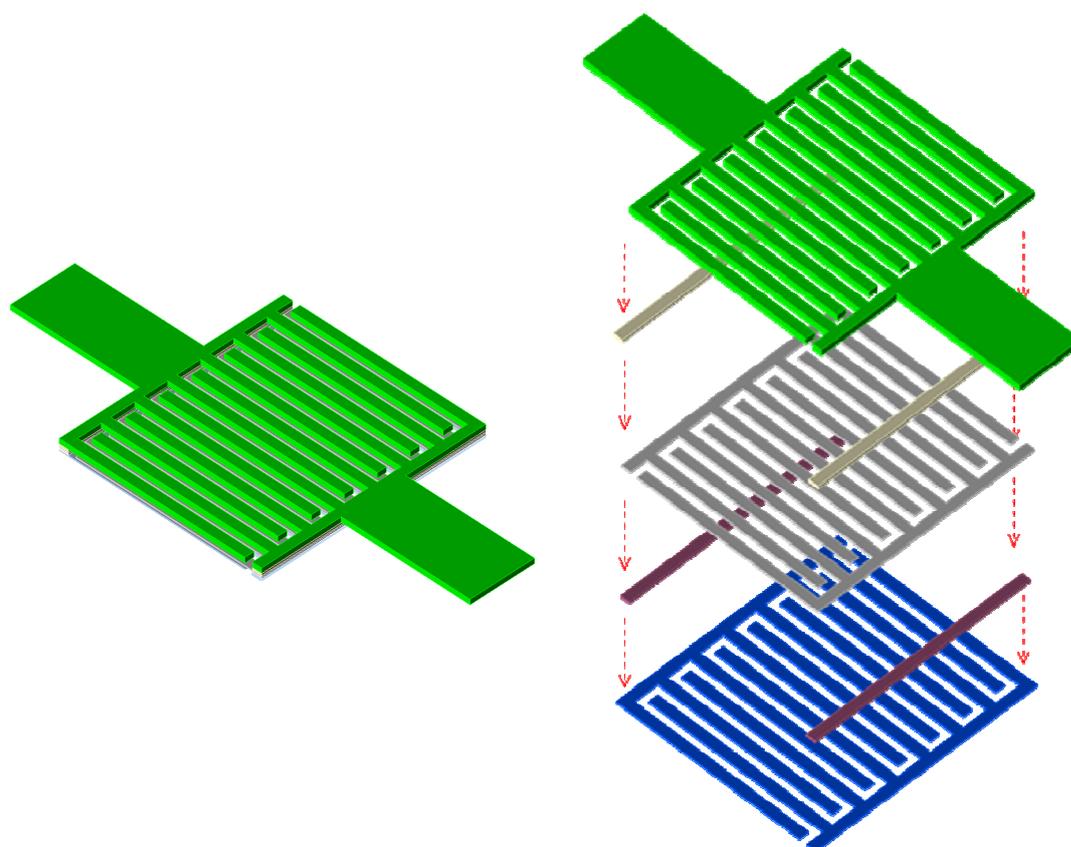
(W：寬、L：長、 n：並聯顆數) 5.5 GHz	C	Q
C1 (W=27.85、L=28、n=3)	TSMC model：1.931 pF ADS simulation：1.982pF	58.623
C2 (W=22.15、L=22.2、n=2)	TSMC model：1.05 pF ADS simulation：1.073 pF	73.8
C3 (W=23.5、L=23.5、n=1)	TSMC model：0.59 pF ADS simulation：0.603 pF	64.514
C4 (W=27.85、L=28、n=3)	TSMC model：1.931pF ADS simulation：1.982 pF	58.623

由表 5.3 可知 TSMC 所提供之電容模型其品質因數 Q 都有在 30 以上，雖然 Q 值有在 30 以上，但所貢獻的 LOSS 跟自製高 Q 電感已相距不多，這代表在高 Q 值電感下，電容所產生效應是必須被考慮的。

5.3.2 製作高 Q 質電容

根據前述的結論，在製作濾波器時除了電感須要高 Q 值外，電容

的 Q 值也必須考慮，使用 MEMS 製作指叉式電容擁有非常高的電容 Q 值，可是缺點為容值很小，不容易達到本電路之要求。而一般使用 2 層金屬當作平板電容的型式，雖有較大之容值，但電容 Q 值相對小。本人提出可兼顧容值與 Q 值的電容結構，如圖 5.9。利用指叉式擁有高 Q 值的優點，及平板多層式大的容值，利用 MEMS 方式製作多容值和高 Q 值電容。將自製電容與 TSMC 所提供的電容 model 作比較，很明顯自製電容比 TSMC 所提供之電容 model Q 值大一倍以上，如表 5.4，圖 5.9 指叉平板式高 Q 質電容結構圖。相關做法請參照附錄。



(a)指叉平板電容

(b)分層結構

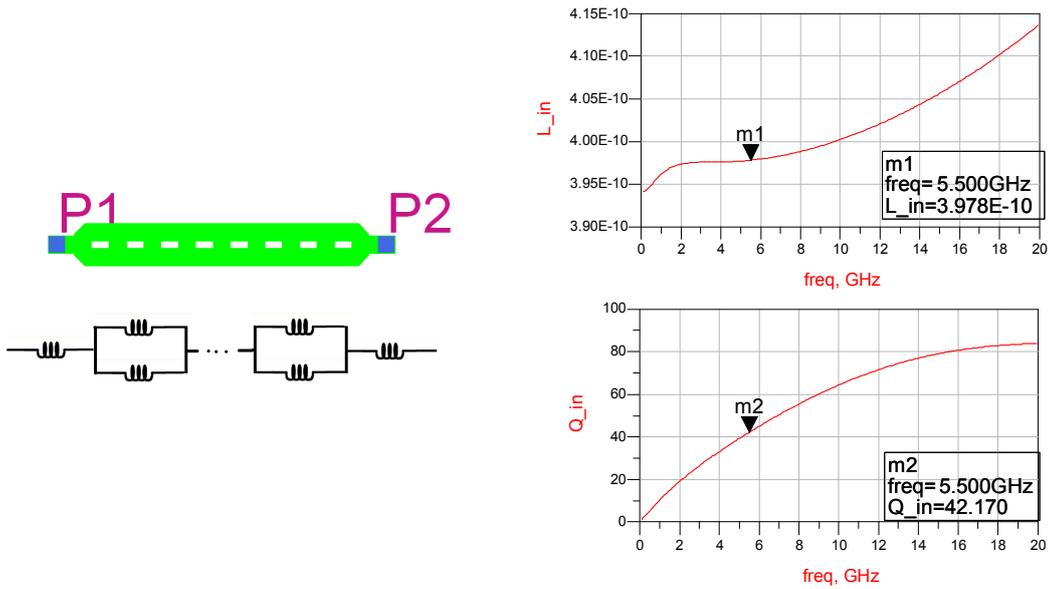
圖 5.9 指叉平板式高 Q 質電容結構圖

表 5.5 TSMC 電容與指叉平板式 MEMS 電容 Q 值比較表

	C (pF)	TSMC Q	This work Q
C1	1.982	58.623	77.757
C2	1.073	73.8	112.775
C3	0.603	64.514	206.710
C4	1.982	58.623	77.757

5.3.2 進步的空間

除了電容特性進步外，電感特性也有些許進步的空間，在圖 4.2 中的 L1 和 L4 當初設計時為傳輸線電感，這也提供了較簡易提升電感 Q 值的機會，將此電感把寬度增加和避掉 Rule 的限制後，可有效提升電感的品質。其品質因素 Q 約是 42 左右，比之前原先電感 Q 值好 10 左右，如圖 5.10。



(a)高 Q 值電感

(b)模擬圖

圖 5.10 高 Q 值傳輸線電感模擬圖

最後我們把使用 MEMS 製程所模擬出的元件，利用 ADS 作組合模擬後，可得濾波器的特性如圖 5.11。其濾波器特性最好的 LOSS 在 2 dB 左右。在 1 GHz 頻寬下也保持 LOSS 在 2.5 dB 以下，已經很接近一般濾波器的規格。

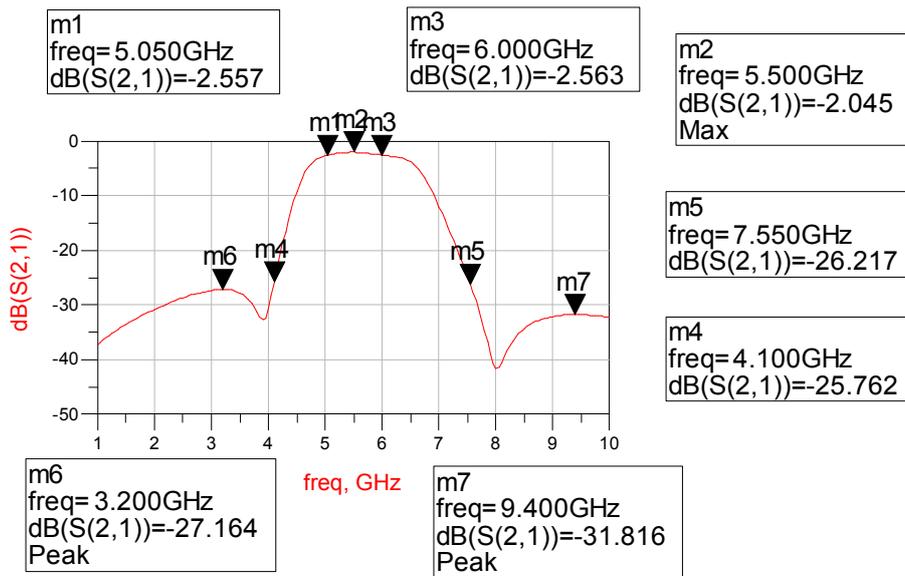


圖 5.11 改善後微機電濾波器之特性模擬圖

第六章 結論

在本文我們提出一個設計微機電濾波器之流程，並設計出一微機電濾波器。在設計過程中，考慮金屬的寄生電阻效應後，可得到濾波器電路對於元件 Q 值特性影響程度，再依照此影響程度利用微機電 (MEMS) 製程元件設計出高 Q 值元件，其中也遭遇由於電感感值的限制使得電感難以設計。建立使用 $0.18\ \mu\text{m}$ CMOS MEMS 製程下設計濾波器的流程。濾波器的最小插入損耗是在 4.7 GHz 的 3.26 dB，在經過被動的在晶片上的 RF 帶通濾波器方面一研究下，有最好的特性結果。此濾波器可應用在 5G 頻段之 WLAN 系統中，並且此濾波器可以跟矽製程的電路做直接的整合。

未來我們可以朝向體縮小化和提升濾波器在矽晶片上特性作研製，再把技術精進已利於整合 SOC 的技術的發展。

參考資料

- [1] Tim J. Ridgers, Claire Boucey, Jan-Peter Frambach, Laure Rolland du Roscoat, “Challenges in Integrating Embedded RF within a SOC,” *2008 IEEE Radio and Wireless Symposium*, pp. 547-550, Jan. 2008.
- [2] G. K. Fedder, and T. Mukherjee, “CMOS-MEMS Filters,” *2008 IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 110-113, Jan. 2008.
- [3] W. B. Kuhn, N. K. Yanduru, and A. S. Wyszynski, “A high dynamic range, digitally tuned, Q-enhanced LC bandpass filter for cellular/PCS receivers,” *1998 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 261-264, June 1998.
- [4] Joshua K. Nakaska, and James W. Haslett, “2 GHz Automatically Tuned Q-Enhanced CMOS Bandpass Filter,” *2007 IEEE/MTT-S International Microwave Symposium*, pp.1599–1602, Jun. 2007.
- [5] Karim Allidina, and Shahriar Mirabbasi, “A widely tunable active RF filter topology,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.879–882, Sep. 2006.
- [6] Y. Wu, X. Ding, M. Ismail, and H. Olsson, “Inductorless CMOS RF bandpass filter,” *Electronics Letters*, vol. 37, iss. 16, pp.1027-1029, Aug. 2001
- [7] Yue Wu, Xiaohui Ding, Mohammed Ismail, and Hakan Olsson, “RF bandpass filter design based on CMOS active inductors,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, iss. 12, pp. 942–949, Dec 2003.
- [8] 森 栄二著；林肇彬譯，LC濾波器的設計與製作，2007年9月第一版第3刷。
- [9] Adel S.Sedra, Kenneth C.Smith,” *Microelectronic circuits*,5th ed”
- [10] 李宗吉，”微機電微波濾波器之製作與改良”，碩士論文，台北科技大學機電整合研究所，1999
- [11] Arthur B.Williams and Fred J.Taylor, *Electronic Filter Design*. NY: McGraw-Hill Companies, Inc., 2006.
- [12] Advanced Design System 2006, Agilent Technologies, Palo Alto, 2006.
- [13] 行政院國家科學委員會，微機電系統技術與應用，精密儀器發展中心，民國93年二版。
- [14] Rowan Gilmore and Rowan Gilmore, *Practical RF Circuit Design for Modern Wireless Systems*, Volume I : Passive Circuits and Systems. MA: Artech House, Inc., 2003.

- [15] William B. Kuhn and Nouredin M. Ibrahim, "Analysis of Current Crowding Effects in Multiturn Spiral Inductors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, iss. 1, pp. 31–38, Jan. 2001.
- [16] Ali M. Niknejad and Robert G. Meyer, "Analysis of Eddy-Current Losses Over Conductive Substrates with Applications to Monolithic Inductors and Transformers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, pp. 166–176, Jan. 2001.
- [17] C. Patrick Yue and S. Simon Wong, "A Study on Substrate Effects of Silicon-Based RF Passive Components," *IEEE MTT-S International Microwave Symposium Digest*, vol. 4, pp. 1625–1628, Jun 1999.
- [18] Ching-Liang Dai, Jin-Yu Hong and Mao-Chen Liu, "High Q-factor CMOS-MEMS inductor," *Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, pp. 138–141, Apr. 2008.
- [19] Jie Fang, Zewen Liul, Jiahao Zhao, Zhongmin Chen, Litian Liu and Zhijian Li, "Study on Large-Inductance Inductors Using Double-Layer Coils on HR Substrate," *IEEE International Conference on Nano/Micro Engineered and Molecular Systems*, pp. 227–230, Jan. 2006.
- [20] C. Patrick Yue and S. Simon Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's," *IEEE Journal of Solid-State Circuits*, vol. 33, iss. 5, pp. 743–752, May 1998.
- [21] I. Zine-El-Abidine, M. Okoniewski and J. G. McRory, "A Tunable RF MEMS Inductor," *International Conference on MEMS, NANO and Smart Systems*, pp. 25–27, Aug. 2004.
- [22] Munenari Kawashima, Yo Yamaguchi, Kei Kuwabara, Norio Sato, Katsuyuki Machida and Kazuhiro Uehara¹, "A Dual-Band VCO Integrated with RF-MEMS Switches and Inductors," *European Microwave Conference*, pp. 795–798, Sep. 2006.
- [23] Sheng-Hsiang Tseng, Ying-Jui Hung, Ying-Zong Juang and Michael S.-C. Lua, "A 5.8-GHz VCO with CMOS-compatible MEMS inductors," *Sensors and Actuators A: Physical*, vol. 139, iss. 1-2, pp. 187–193, Sep. 2007.
- [24] Eun-Chul Park, Yun-Seok Choi, Jun-Bo Yoon, Songcheol Hong and Euisik Yoon, "Fully Integrated Low Phase-Noise VCOs With On-Chip MEMS Inductors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, pp. 289–296, Jan. 2003.
- [25] Gabriel M. Rebeiz and Jeremy B. Muldavin, "RF MEMS switches and switch circuits," *IEEE Microwave Magazine*, vol. 2, iss. 4, pp. 59–71, Jan. 2001.

附錄

多層板梳式微機電高 Q 值電容

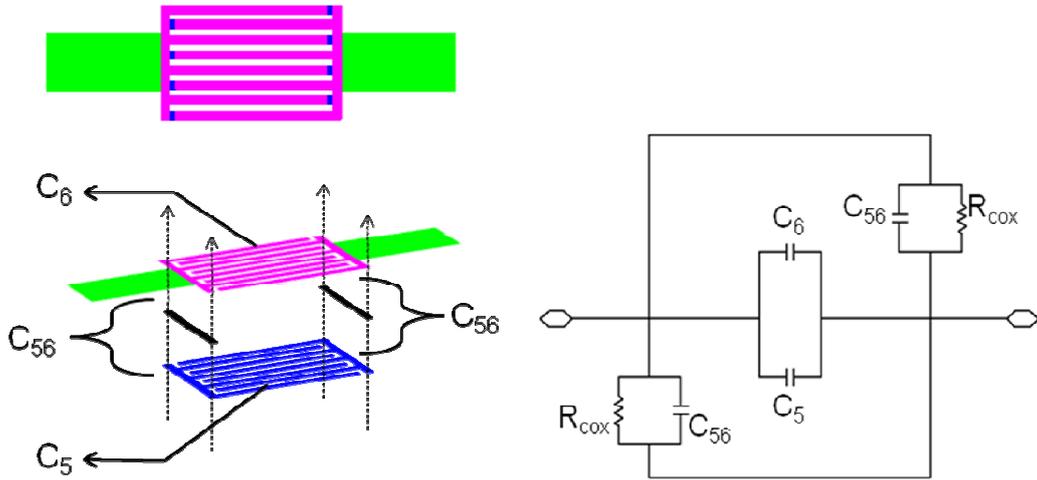
今日數位通訊系統蓬勃發展，個人用無線通訊設備呈現大幅度的成長，為了讓通訊產品正使用上更輕巧方便，產品正朝著功能強、價格低、重量輕、體積小、耗電低的目標邁進，而系統單晶片(System on a Chip, SOC)正是能達到目標的途徑之一。隨著無線通訊產品不斷的推陳出新，推動整個無線通訊技術積極的創新。積體整合性高、功能強大、價格普及化、耗能小之相關的高頻元件和射頻電路、模組已成為發展無線通訊的首要目標。

矽基板上製作電容已有多多年歷史，其製程技術亦不斷再提升，目的皆係提高電容之品質因素。對於使用者欲製作更高頻段之 RF 電路將會產生無適用標準電容的問題，故各研究群於製作電容之元件庫與建立電容模型即顯得格外重要。本研究計畫將針對 TSMC 0.18 製程電容進行製作與模擬分析，爾後於更高頻段之 RF 電路可提供更有效的設計資源。

[1] 元件結構及其等效模型簡介.:

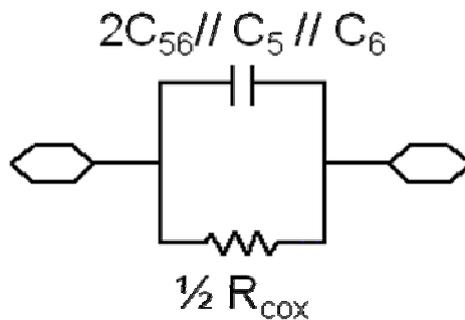
指叉平行板電容:

以兩層指叉平行板電容為例，其等效模型及電路為:



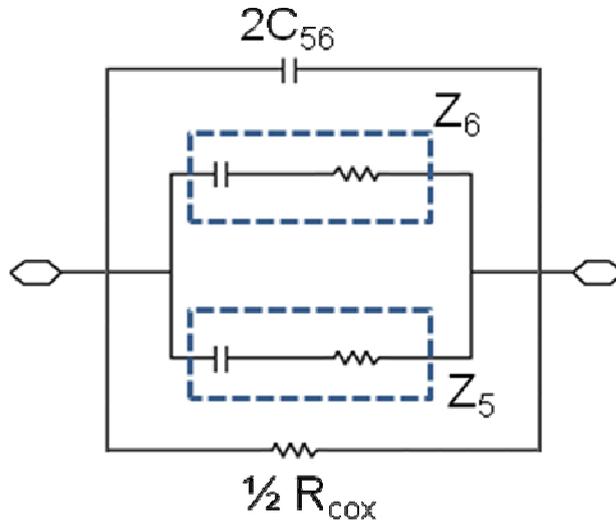
<圖一>指叉平行板電容物理結構圖。 <圖二>指叉平行式簡易電容等效電路圖

其等效模型將 MEMS 蝕刻掉的地方視為 OPEN，分別利用 metal5 之指叉平行結構型成 C5，而 metal6 則形成為 C6，兩層互相並聯，而 metal 5 中的 finger 及 metal6 中的 finger 因並聯形式而產生出 C56，所以將其電路簡化為圖三:



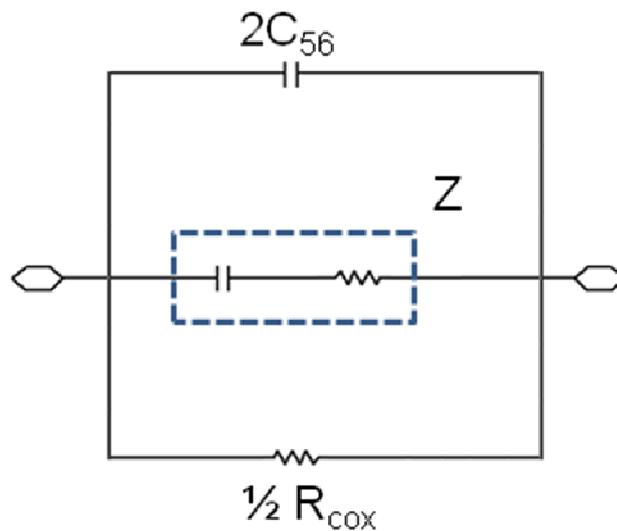
<圖三>指叉平行式電容簡化之等效電路圖

再考慮嚴謹的情況下，為了方便計算，我們假設每層金屬之阻值一樣，如圖四：



<圖四>考慮 metal 電阻之指叉平行式簡易電容等效電路圖

在假定金屬之電阻及厚度相同的情況下，則 $Z_5=Z_6$ ，將其並聯後，如圖五所示， Z 會等於原 $Z_5(Z_6)$ 的一半。



<圖五>考慮 metal 電阻之指叉平行式簡化圖

$$Q = \frac{1}{2\pi fCR} \quad <1>$$

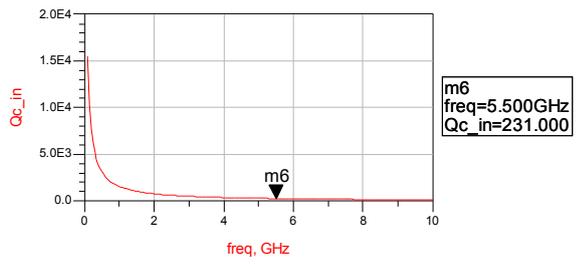
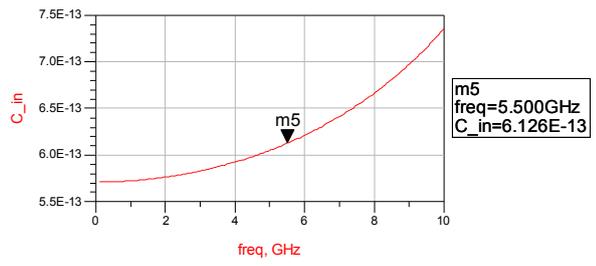
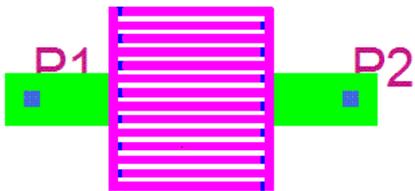
在一般製作電容器中，若想使容值上升，就必須加大面積，因而使 R 值也跟著上升，導至 Q 值大幅下降(可參照電容 Q 值公式<1>)，本架構在提升容值之外還會降低 R 值，使得 Q 值能夠維持或者上升。

我們接下來會以一顆電容當作原型，分別改變 metal 之 finger 的個數，以及增加層數(增加每層 finger 彼此的接觸面積)、和增加 finger 的長度，來觀察其容值與 Q 值的變化，因而進一步了解影響電容之主要變化。

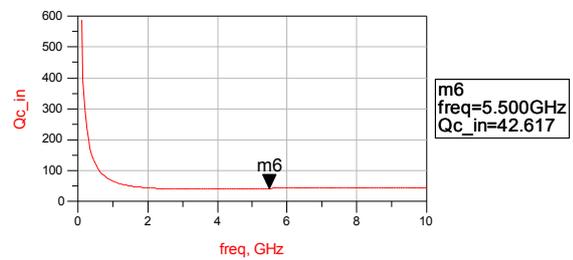
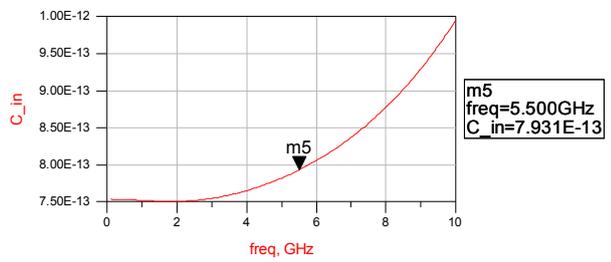
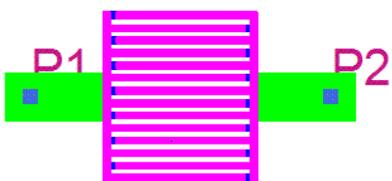
[2]模擬結果：

本次所下線的測試元件共有 17 顆電容，以及一個校準元件 OPEN，來扣除下針墊片之寄生效應，如圖五。本次下線之電容以 CAP 01 當作原型，其分別做層數、finger 個數、finger 間距、finger 長度等做改變，並且探討其影響特性。CAP 02 為原型無 MEMS 製程電容，CAP 03 至 CAP 07 分別為原型電容對層數做改變，CAP 08、CAP 09 為原型電容做 finger 個數之改變，CAP 11 至 CAP 13 為原型電容分別做 finger 長度之改變，CAP 14 至 CAP 17 則是原型電容對每一 finger 之間距做改變。

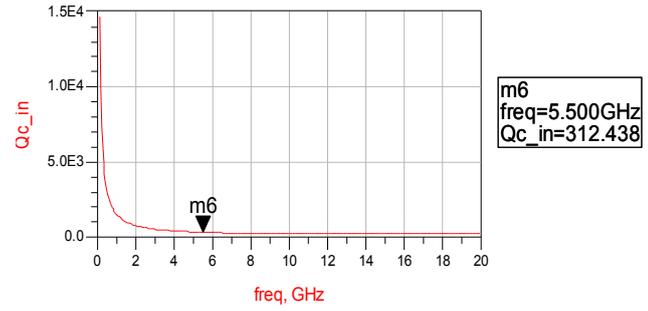
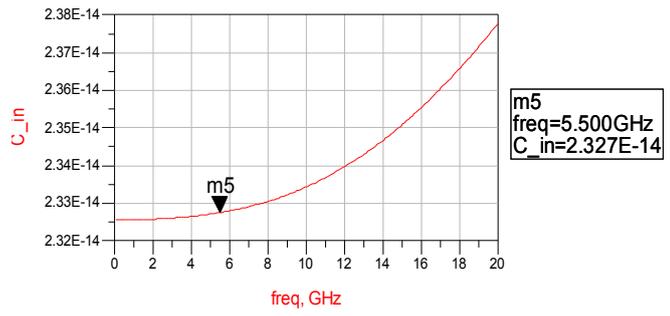
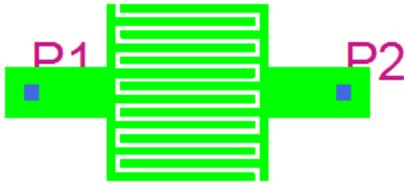
CAP 01



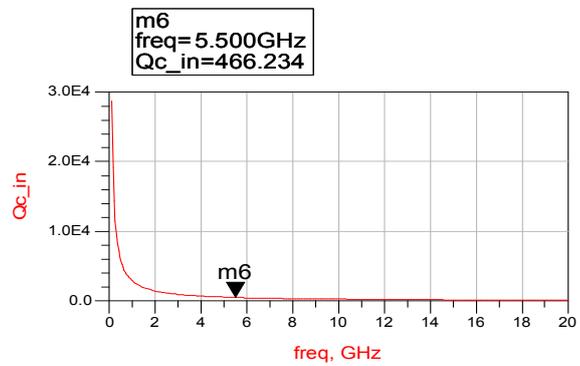
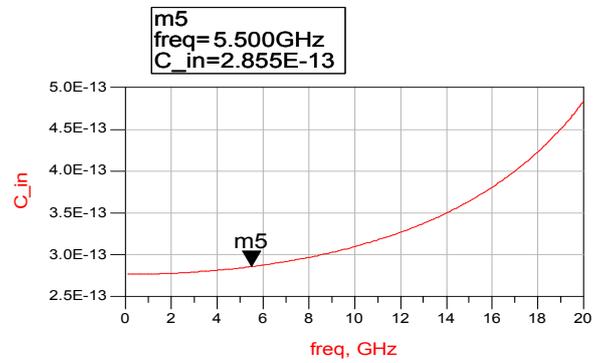
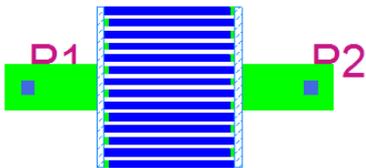
CAP 02 (NO MEMS)



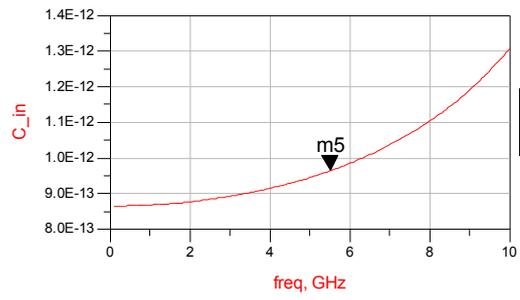
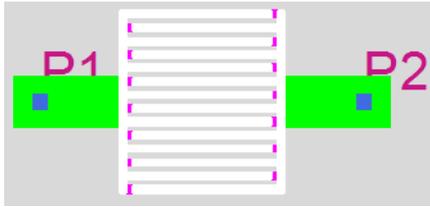
CAP 03



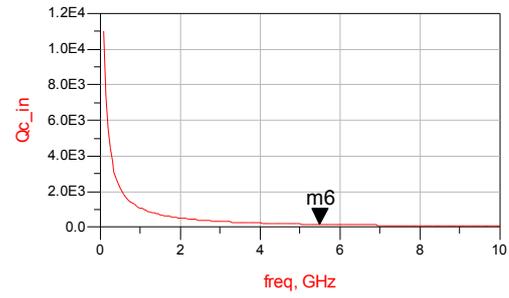
CAP 04



CAP 05

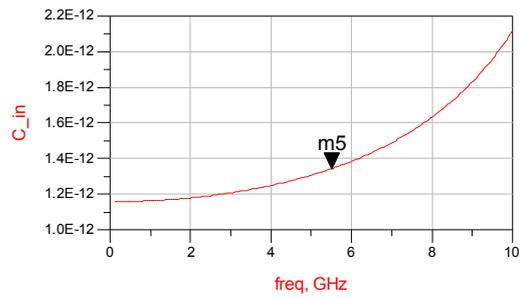
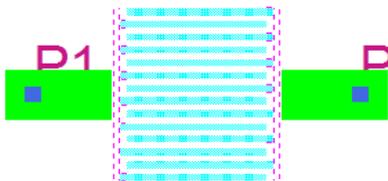


m5
freq=5.500GHz
 $C_{in}=9.641E-13$

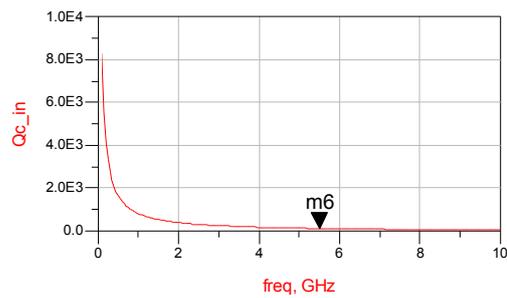


m6
freq=5.500GHz
 $Q_{c,in}=153.660$

CAP 06

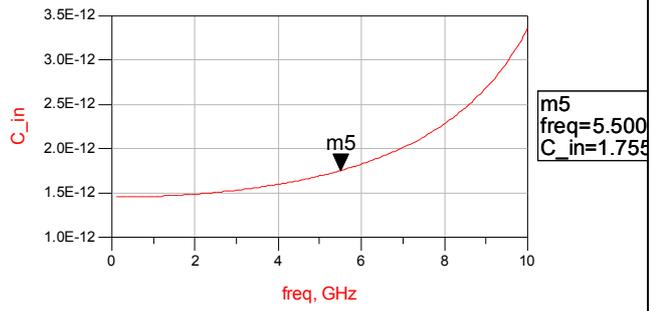
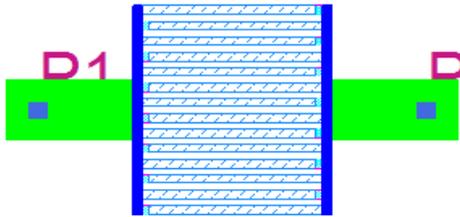


m5
freq=5.500GHz
 $C_{in}=1.344E-12$

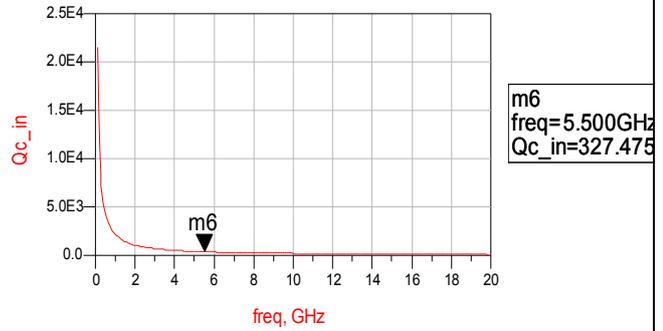
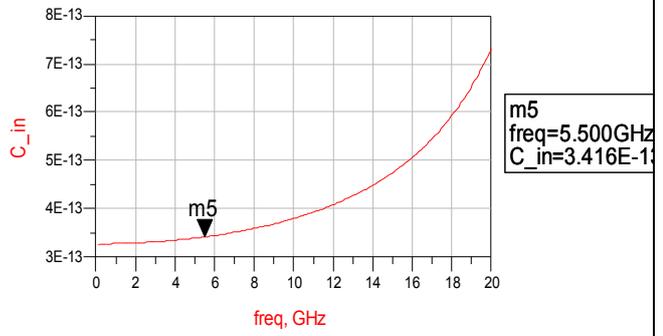
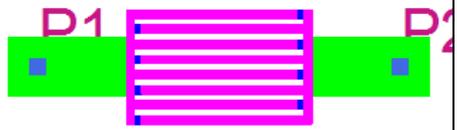


m6
freq=5.500GHz
 $Q_{c,in}=110.826$

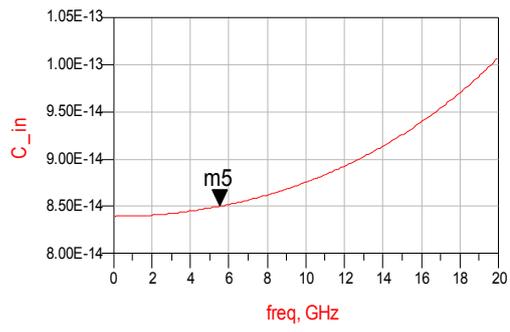
CAP 07



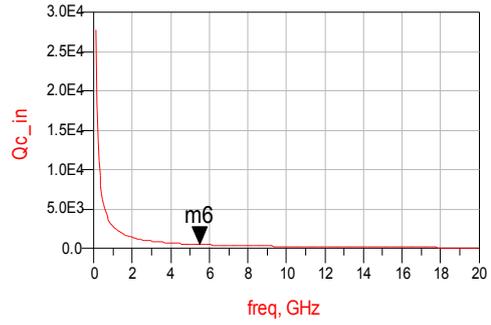
CAP 08



CAP 09

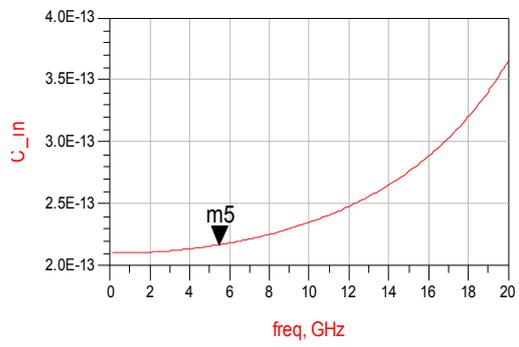


m5
freq=5.500GHz
C_{in}=8.501E-14

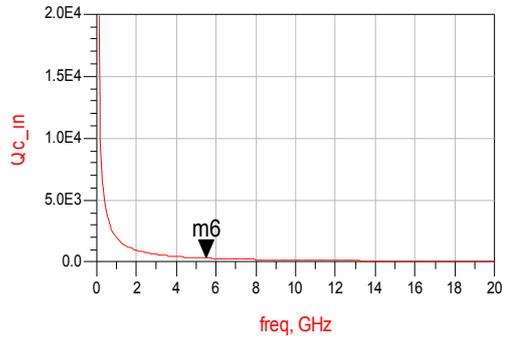


m6
freq=5.500GHz
Q_{c_in}=515.810

CAP 10

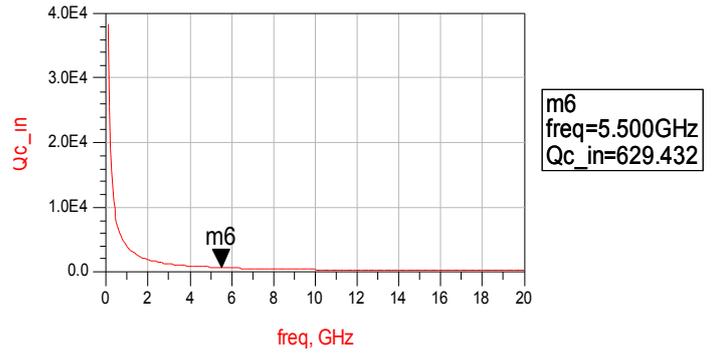
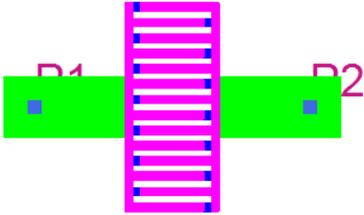


m5
freq=5.500GHz
C_{in}=2.171E-13

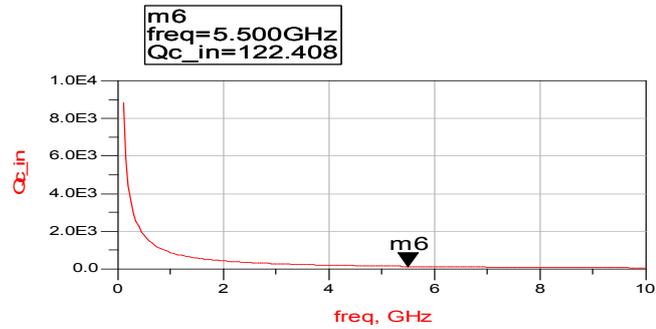
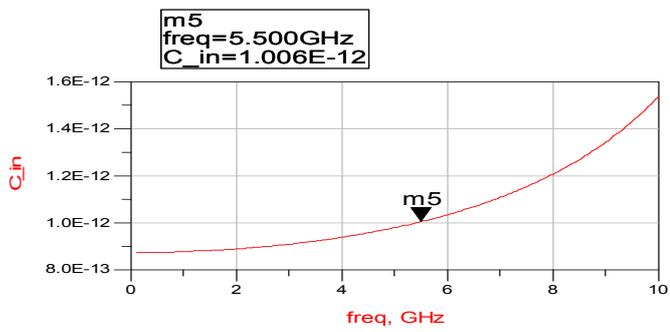


m6
freq=5.500GHz
Q_{c_in}=317.172

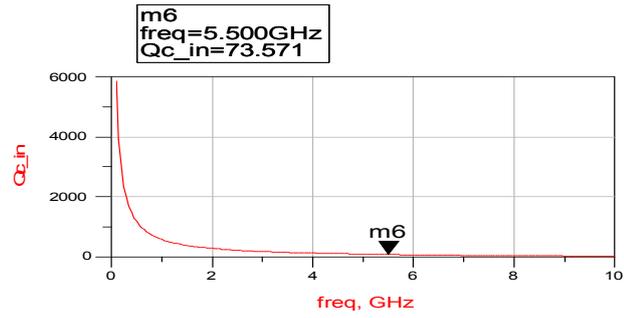
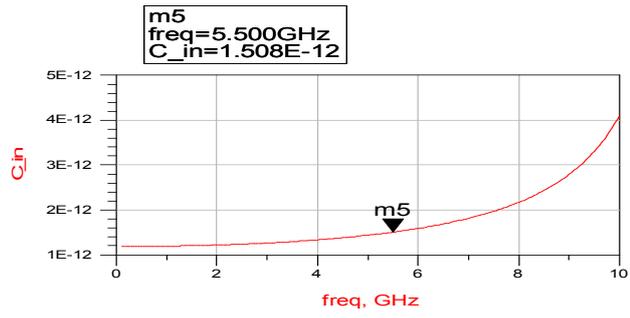
CAP 11



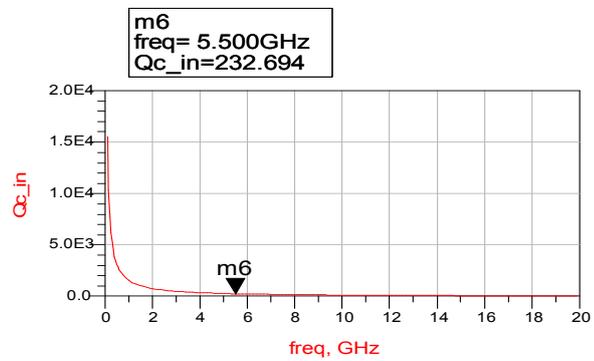
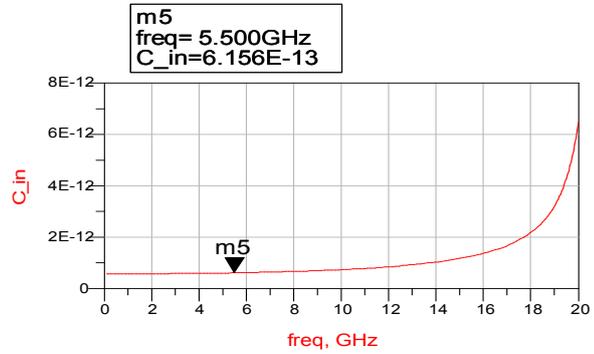
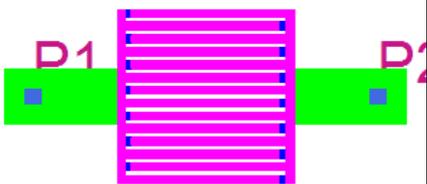
CAP 12



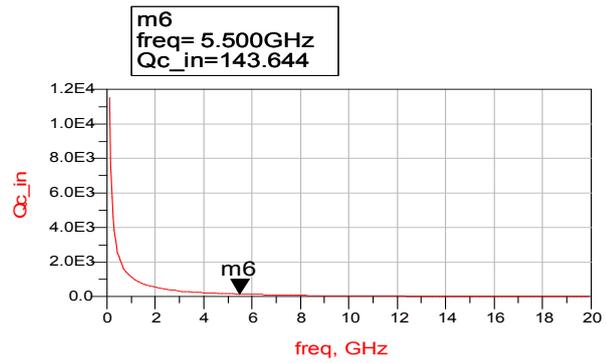
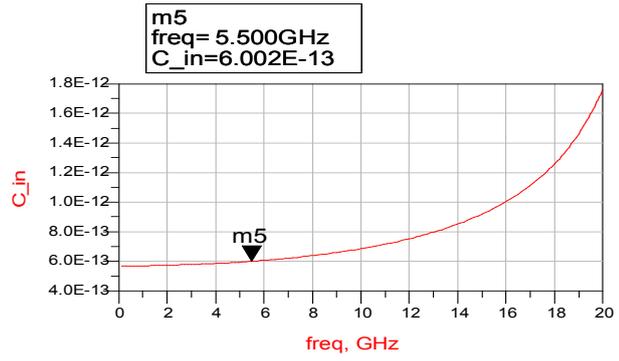
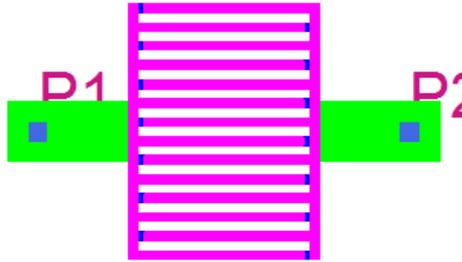
CAP 13



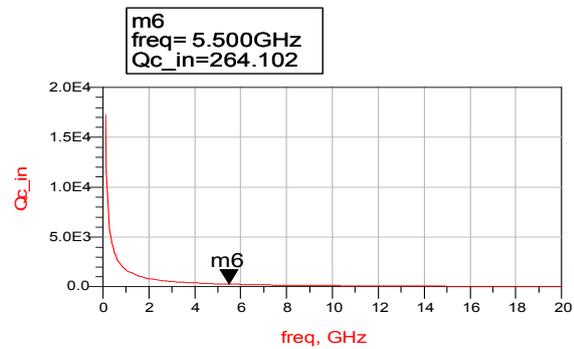
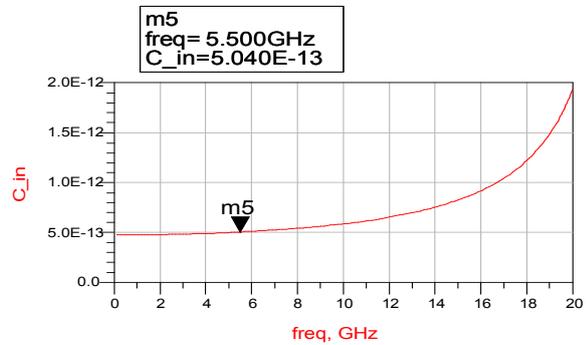
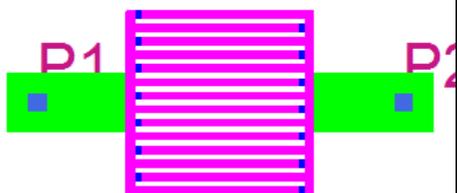
CAP 14



CAP 15



CAP 16



CAP 17

